

**KOREAN PATENT ABSTRACTS**

(11) Patent

number:

**10-0190248**

(43) Issue Date : **19.01.1999**

(21) Application **1019940010549**

number:

(22) Date of filing: **14.05.1994**

(54) Programmable semiconductor memory device

(57) Abstract:

Semiconductor memory device includes a node, an internal circuit and an internal control signal generating circuit(200, 14, 54). The node receives a chip enable signal and address signals. The internal control signal generating circuit generates an internal control signal(ALP) which controls output timing to be identical regardless of the level of address signal, when the chip enable signal transitions from non-active state to active state. The internal circuit becomes disable with response to the non-activation level in the chip enable signal, and becomes enable with response to the activation level in the chip enable signal.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 17/00	(45) 공고일자 1999년06월01일 (11) 등록번호 10-0190248 (24) 등록일자 1999년01월19일
(21) 출원번호 10-1994-0010549 (22) 출원일자 1994년05월14일	(65) 공개번호 특 1994-0025826 (43) 공개일자 1994년12월08일
(30) 우선권주장 93-113458 1993년05월14일 일본(JP) 93-312303 1993년12월13일 일본(JP) 94-21479 1994년02월18일 일본(JP) 94-21480 1994년02월18일 일본(JP)	
(73) 특허권자 후지쓰 가부시키가이샤 아끼구사 나오유키 일본 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1	
(72) 발명자 후쿠타니 유타카 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 나카야마 도모히로 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 히라야마 세이지 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 다카하시 요시타카 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 나가사와 마사노리 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 기무라 마사카즈 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 다니구티 쪽토무 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 후지모토 히로유키 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 (74) 대리인 나영환, 이상섭	

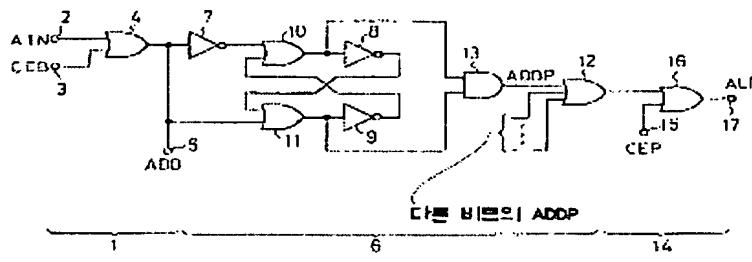
설사관 : 이은희

## (54) 프로그램 가능한 반도체 메모리 장치

## 요약

반도체 메모리 장치는 칩 인에이블 신호 및 어드레스 신호를 수신하기 위한 단자, 내부 회로 및, 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이될 경우 어드레스 신호의 레벨에 관계없이 반도체 메모리 장치의 출력 타이밍을 동일하게 하는 소정의 내부 제어 신호(ALP)를 발생시키기 위한 내부 제어 신호 발생 회로(200, 14, 54)를 구비한다. 내부 회로는 칩 인에이블 신호의 비활성 레벨에 응답하여 비작동 되고 칩 인에이블 신호의 활성 레벨에 응답하여 작동된다.

## 도표



## 명세서

## [발명의 명칭]

프로그램 가능한 반도체 메모리 장치

## [도면의 간단한 설명]

제1도는 마스크 ROM의 제1구성예의 주요부를 나타내는 회로도.

제2도는 마스크 ROM의 제1구성예의 CEB 및 CEP 신호 발생 회로를 나타내는 회로도.

제3도는 제2도에 도시된 CEB 및 CEP 신호 발생 회로의 동작 설명을 위한 타이밍 (a)~(c)를 나타내는 타이밍도.

제4도는 제1도에 도시된 마스크 ROM의 제1 구성예의 동작 설명을 위한 타이밍(a)~(i)를 나타내는 타이밍도.

제5도는 마스크 ROM의 제2구성예의 주요부를 나타내는 회로도.

제6도는 제5도에 도시된 마스크 ROM의 제2구성예의 동작 설명을 위한 타이밍(a)~(g)를 나타내는 타이밍도.

제7도는 마스크 ROM의 제3구성예의 주요부를 나타내는 시스템 블록도.

제8도는 1비트에 대한 제7도에 도시된 센스 증폭기의 구성을 나타내는 회로도.

제9도는 1비트에 대한 제7도에 도시된 출력 버퍼의 구성을 나타내는 회로도.

제10도는 제7도에 도시된 마스크 ROM의 제3구성예의 동작 설명을 위한 타이밍 (a)~(c)를 나타내는 타이밍도.

제11도는 마스크 ROM의 제4구성예의 주요부를 나타내는 시스템 블록도.

제12도는 제11도에 도시된 ATD 신호 발생 회로의 구성을 나타내는 회로도.

제13도는 제12도에 도시된 ATD 신호 발생 회로의 동작 설명을 위한 타이밍(a)~(c)를 나타내는 타이밍도.

제14도는 제11도에 도시된 클록 신호 발생 회로의 구성을 나타내는 회로도.

제15도는 제14도에 도시된 클록 신호 발생 회로의 동작 설명을 위한 타이밍 (a) 및 (b)를 나타내는 타이밍도.

제16도는 제11도에 도시된 마스크 ROM의 제4구성예의 동작 설명을 위한 타이밍 (a)~(e)를 나타내는 타이밍도.

제17도는 마스크 ROM의 제5구성예를 나타내는 시스템 블록도.

제18도는 제17도에 도시된 용장 어드레스 기억 회로의 1-비트 기억 회로를 나타내는 회로도.

제19도는 제18도에 도시된 1-비트 기억 회로의 판독 동작을 설명하기 위한 회로도.

제20도는 제18도에 도시된 1-비트 기억 회로의 판독 동작을 설명하기 위한 회로도.

제21도는 제17도에 도시된 출력 정정 회로의 구성을 나타내는 시스템 블록도.

제22도는 마스크 ROM의 제6구성예의 주요부를 나타내는 도면.

제23도는 제22도에 도시된 로우 디코더의 구성을 나타내는 회로도.

제24도는 본 발명에 따른 반도체 메모리 장치의 제1실시예의 주요부를 나타내는 회로도.

제25도는 어드레스 팔스 신호 통과 제어 신호 발생 회로의 제1구성을 나타내는 회로도.

제26도는 제25도의 어드레스 팔스 신호 통과 제어 신호 발생 회로의 동작 설명을 위한 타이밍 (a)~(c)를 나타내는 타이밍도.

제27도는 제25도에 도시된 어드레스 폴스 신호 통과 제어 신호 발생 회로를 사용하는 경우 제1실시예의 동작 설명을 위한 타이밍 (a)~(k)를 나타내는 타이밍도.

제28도는 어드레스 폴스 신호 통과 제어 신호 발생 회로의 제2구성을 나타내는 회로도.

제29도는 제28도에 도시된 어드레스 폴스 신호 통과 제어 신호 발생 회로의 동작 설명을 위한 타이밍 (a)~(c)를 나타내는 타이밍도.

제30도는 제28도에 도시된 어드레스 폴스 신호 통과 제어 신호 발생 회로를 사용하는 경우 제1실시예의 동작 설명을 위한 타이밍 (a)~(k)를 나타내는 타이밍도.

제31도는 어드레스 폴스 신호 통과 제어 신호 발생 회로의 제3구성을 나타내는 회로도.

제32도는 본 발명에 따른 반도체 메모리 장치의 제2 실시예의 주요부를 나타내는 회로도.

제33도는 제2실시예의 동작 설명을 위한 타이밍 (a)~(g)를 나타내는 타이밍도.

제34도는 본 발명에 따른 반도체 메모리 장치의 제3실시예의 주요부를 나타시스템 블록도.

제35도는 제3실시예의 어드레스 기억 회로를 나타내는 회로도.

제36도는 제3실시예의 논리 회로의 일부를 나타내는 회로도.

제37도는 제3실시예의 출력 스위칭 회로를 나타내는 회로도.

제38도는 제3실시예의 동작 설명을 위한 타이밍 (a)~(h)를 나타내는 타이밍도.

제39도는 제3실시예의 어드레스 카운터 회로를 나타내는 시스템 블록도.

제40도는 제3d도에 도시된 어드레스 카운터 회로를 사용하는 경우 제3실시예의 동작 설명을 위한 타이밍 (a)~(h)를 나타내는 타이밍도.

제41도는 본 발명에 따른 반도체 메모리 장치의 제4실시예의 주요부를 나타내는 시스템 블록도.

제42도는 제4실시예의 래치 회로를 나타내는 회로도.

제43도는 제4실시예의 래치 해제 신호 발생 회로를 나타내는 회로도.

제44도는 제43도에 도시된 래치 해제 신호 발생 회로의 동작 설명을 위한 타이밍 (a) 및 (b)를 나타내는 타이밍도.

제45도는 제4실시예의 제어 신호 발생 회로를 나타내는 회로도.

제46도는 제45도에 도시된 제어 신호 발생 회로의 동작 설명을 위한 타이밍 (a)~(d)를 나타내는 타이밍도.

제47도는 제4 실시예의 동작 설명을 위한 타이밍 (a)~(f)를 나타내는 타이밍도.

제48도는 본 발명에 따른 반도체 메모리 장치의 제5실시예를 나타내는 시스템 블록도.

제49도는 제5실시예의 용장 어드레스 기억 회로를 나타내는 회로도.

제50도는 제49도에 도시된 용장 어드레스 기억 회로를 형성하는 블록을 나타내는 회로도.

제51도는 제49도에 도시된 용장 어드레스 기억 회로를 형성하는 1-비트 기억회로를 나타내는 회로도.

제52도는 제51도에 도시된 1-비트 기억 회로의 판독 동작 설명을 위한 회로도.

제53도는 제51도에 도시된 1-비트 기억 회로의 판독 동작 설명을 위한 회로도.

제54도는 제49도에 도시된 1-비트 기억 회로를 형성하는 퓨즈의 구성을 나타내는 평면도.

제55도는 제49도의 선 a-a0에 따른 단면도.

제56도는 제49도에 도시된 용장 어드레스 기억 회로를 형성하는 1-비트 기억 회로를 나타내는 회로도.

제57도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작 설명을 위한 회로도.

제58도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작 설명을 위한 타이밍 (a)~(i)를 나타내는 타이밍도.

제59도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작 설명을 위한 회로도.

제60도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작 설명을 위한 타이밍 (a)~(i)를 나타내는 타이밍도.

제61도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작 설명을 위한 회로도.

제62도는 판독 동작시 제56도에 도시된 1-비트 기억 회로의 등가 회로를 나타내는 회로도.

제63도는 판독 동작시 제56도에 도시된 1-비트 기억 회로의 등가 회로를 나타내는 회로도.

제64도는 제49도에 도시된 용장 어드레스 기억 회로를 형성하는 1-비트 기억 회로를 나타내는 회로도.

제65도는 제64도에 도시된 1-비트 기억 회로 및 기입 회로를 나타내는 회로도.

제66도는 제65도에 도시된 기입 회로를 제어하는 기입 제어 회로를 나타내는 회로도.

제67도는 제66도에 도시된 기입 제어 회로의 기입 동작 설명을 위한 회로도.  
 제68도는 제66도에 도시된 기입 제어 회로의 판독 동작 설명을 위한 회로도.  
 제69도는 제65도에 도시된 기입 회로의 기입 동작 설명을 위한 회로도.  
 제70도는 제65도에 도시된 기입 회로의 기입 동작 설명을 위한 회로도.  
 제71도는 제65도에 도시된 기입 회로의 판독 동작 설명을 위한 회로도.  
 제72도는 제64도에 도시된 1-비트 기억 회로의 판독 동작 설명을 위한 회로도.  
 제73도는 제64도에 도시된 1-비트 기억 회로의 판독 동작 설명을 위한 회로도.  
 제74도는 제5실시예의 출력 정정 회로를 나타내는 시스템 블록도.  
 제75도는 제74도에 도시된 출력 정정 회로를 형성하는 디코더를 나타내는 회로도.  
 제76도는 제74도에 도시된 출력 정정 회로를 형성하는 출력 데이터/페리티 데이터 스위칭 회로를 나타내는 회로도.  
 제77도는 제74도에 도시된 출력 정정 회로를 형성하는 배터 논리합(BOR) 회로군을 나타내는 회로도.  
 제78도는 제74도에 도시된 출력 정정 회로를 형성하는 출력 스위칭 회로를 나타내는 회로도.  
 제79도는 제5실시예에 제공된 시험용 용장 어드레스 기억 회로를 나타내는 회로도.  
 제80도는 제79도에 도시된 시험용 용장 어드레스 기억 회로를 형성하는 블록을 나타내는 회로도.  
 제81도는 제79도에 도시된 시험용 용장 어드레스 기억 회로를 형성하는 1-비트 기억 회로를 나타내는 회로도.  
 제82도는 본 발명에 따른 반도체 메모리 장치의 제6실시예의 주요부를 나타내는 도면.  
 제83도는 제6실시예의 로우 디코더를 나타내는 회로도.  
 제84도는 제6실시예의 로우 디코더를 나타내는 회로도.  
 제85도는 제6실시예의 로우 어드레스 시스템의 회로 구성을 나타내는 시스템 블록도.  
 제86도는 마스크 ROM의 제7구성예의 배치를 나타내는 평면도.  
 제87도는 본 발명에 따른 반도체 메모리 장치의 제7실시예의 배치를 나타내는 평면도.  
 제88도는 제7실시예의 주요부를 나타내는 시스템 블록도.  
 제89도는 제7실시예의 불량 출력 기억 회로의 주요부를 나타내는 회로도.  
 제90도는 제7실시예의 데이터 스위칭 회로의 주요부를 나타내는 회로도.  
 제91도는 제7실시예의 배터 논리합 회로의 주요부를 나타내는 회로도.  
 제92도는 제7실시예의 다른 데이터 스위칭 회로의 주요부를 나타내는 회로도.  
 제93도는 마스크 ROM의 제8구성예의 배치를 나타내는 평면도.  
 제94도는 본 발명에 따른 반도체 메모리 장치의 제8실시예의 배치를 나타내는 평면도.  
 제95도는 제8실시예의 불량 출력 기억 회로의 주요부를 나타내는 회로도.  
 제96도는 제8실시예의 배터 논리합 회로의 주요부를 나타내는 회로도.  
 제97도는 제8실시예의 다른 하나의 데이터 스위칭 회로의 주요부를 나타내는 회로도.  
 제98도는 마스크 ROM의 제9구성예의 배치를 나타내는 평면도.  
 제99도는 제98도에 도시된 마스크 ROM의 용장 회로의 주요부를 나타내는 시스템 블록도.  
 제100도는 마스크 ROM의 제9구성예에 사용되는 용장 정보를 설명하기 위한 도면.  
 제101a도, 제101b도 및 제101c도는 각각 제98도에 도시된 마스크 ROM에서 치유되는 불량 출력을 설명하기 위한 도면.  
 제102도는 본 발명에 따른 반도체 메모리 장치의 제9실시예의 배치를 나타내는 평면도.  
 제103도는 제9실시예의 주요부를 나타내는 시스템 블록도.  
 제104도는 제9실시예에 사용되는 용장 정보를 설명하기 위한 도면.  
 제105도는 치유된 메인 셀 어레이의 수와 용장 정보의 출력 비트와의 관계를 설명하기 위한 도면.  
 제106도는 제9 실시예의 스위칭 출력 디코딩 회로를 나타내는 시스템 블록도.  
 제107도는 제9실시예의 용장 회로의 주요부를 나타내는 회로도.  
 제108a도 및 제108b도는 각각 제103도에 도시된 정정 회로를 설명하기 위한 회로도.  
 제109도는 제9 실시예에서 치유된 불량 출력을 설명하기 위한 도면.

제110도는 마스크 ROM의 제10구성예의 주요부를 나타내는 시스템 블록도.  
 제111도는 본 발명에 따른 반도체 메모리 장치의 제1실시예의 동작 원리를 설명하기 위한 시스템 블록도.  
 제112도는 제10실시예의 주요부를 나타내는 시스템 블록도.  
 제113도는 제10실시예의 배치를 나타내는 평면도.  
 제114도는 제10실시예에서 칩 인에이블 신호와 시그내처(Signature) 판독 신호를 발생하기 위한 회로의 구성을 나타내는 회로도.  
 제115도는 제10실시예에서 1비트용 불량 출력 기억 회로의 기억 회로 구성을 나타내는 회로도.

\* 도면의 주요 부분에 대한 부호의 설명

1, 63, 241 : 어드레스 버퍼	2 : 어드레스 신호 입력 단자
3 : 내부 칩 인에이블 신호 입력 단자	4 : OR 회로
5 : 내부 어드레스 신호 출력 단자	6, 42 : 어드레스 펄스 신호 발생 회로
14, 54, 200 : 내부 제어 신호 발생 회로	59, 60, 62, OUT1L-OUT16L : 메모리 셀 어레이
64, 65, 1014 : 로우 디코더	66, 67, 68, 69, 1013 : 컬럼 디코더
70, 71, 72, 73, 94 : 센스 증폭기	74 : 출력 버퍼
75 : 논리 회로	237~240 : 제1~제n 메모리 영역
242, 243, 274, 275 : 제1~제n 어드레스 기억 회로.	
254 : 출력 스위칭 회로	273 : 어드레스 카운터
276 : 센스 증폭기 출력 래치 회로	277, 278 : 센스 증폭기 출력 래치 제어 회로
316 : 용장 어드레스 기억 회로	320 : 출력 정정 회로
352, 382 : 제1스위칭 소자	353, 383 : 제2스위칭 소자
355 : 제1퓨즈 터	379, 386 : 제1 비휘발성 메모리 셀 트랜지스터
380, 387 : 제2 비휘발성 메모리 셀 트랜지스터	
440, 441 : 출력 데이터 발생 회로	442 : 출력 데이터 스위칭 회로
518, 527, 537 : 워드선 선택 회로	1022 : 용장 회로
1021 : 메모리 셀부	1023 : 불량 출력 기억 회로
1026, 3016 : 제1스위칭 회로	1025 : 배터 논리합 회로
1027 : 제2스위칭 회로	2023 : 제1기억 회로
2024 : 제2기억 회로	3004 : 비교 일치 검출 수단
3027 : AND 회로	p1~p8, p11, p1h, p21, p2h : 패리티 셀 어레이
s01~s06, SOUT1~SOUT16 : 제2출력 데이터	
sr : 모드 신호	/CE : 칩 인에이블 신호

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 데이터 기록을 위해 칩 제조 공정중에 사용되는 마스크에 의해 프로그램될 수 있는 마스크 ROM과 같은 프로그램 가능한 반도체 메모리 장치에 관한 것이다.

우선, 제1도 내지 제4도를 참조하여 마스크 ROM의 제1구성예에 대하여 설명하기로 한다.

제1도는 마스크 ROM의 제1구성예의 주요부를 도시한 것이다. 제1도에서, 어드레스 버퍼(1)는 외측으로부터 공급된 어드레스 신호 AIN을 내측에 입력시키는데 사용된다. 어드레스 신호 입력 단자(2)에는 어드레스 신호 AIN이 입력된다. 내부 칩 인에이블 신호 단자(3)에는 내부 칩 인에이블 신호 CEB가 입력된다. 이 내부 칩 인에이블 신호 CEB는 외측으로부터 공급되어 내부 회로를 활성 상태로 되게 할 것인지 혹은 비활성 또는 대기 상태로 되게 할 것인지를 특정하는 칩 인에이블 신호 /CE와 동일한 위상 관계를 갖는다. 본 명세서에 있어서, /CE와 같은 신호명 앞의 부호 /는 C의 반전 신호(또는 C바)를 나타내고 있다. 어드레스 버퍼(1)는 OR 회로(4)를 포함하여, 외측으로부터 공급된 어드레스 신호 AIN과 동일한 위상 관계를 갖는 내부 어드레스 신호 ADD가 내부 어드레스 신호 출력 단자(5)로 부터 출력된다.

어드레스 신호 발생 회로(6)는 어드레스 신호 AIN이 천이될 때 어드레스 신호 AIN의 천이를 나타내는 어드레스 펄스 신호 ADDP(어드레스 천이 신호 ATI)를 발생한다. 어드레스 펄스 신호 발생 회로(6)는 인버터(7~9), OR 회로(10~12) 및 AND회로(13)를 포함한다.

출력 제어 펄스 신호 발생 회로(14)는 메모리 셀 어레이(도시 생략)로부터 판독 데이터의 외측으로의 출력을 제어하기 위한 출력 제어 펄스 신호 ALP를 발생한다. 칩 인에이블 펄스 신호 입력 단자(15)에는 칩 인에이블 신호 /CE가 고전위(고레벨)에서 저전위(저레벨)로 천이할 때 발생되는 칩 인에이블 펄스 신호 CEP가 입력된다. 출력 제어 펄스 신호 발생 회로(14)는 OR 회로(16)를 포함하여, 출력 제어 펄스 신호

ALP는 출력 제어 펄스 신호 출력 단자(17)로부터 출력된다.

제2도는 내부 칩 인에이블 신호 CEB 및 칩 인에이블 펄스 신호 CEP를 발생시키는 CEB 및 CEP 신호 발생 회로를 도시한 것이다.

제2도에 도시된 CEB 및 CEP 신호 발생 회로는 칩 인에이블 신호 /CE가 입력되는 칩 인에이블 신호 입력 단자(18), 인버터(19~22), OR 회로(23), AND 회로(24), 내부 칩 인에이블 신호 CEB가 출력되는 내부 칩 인에이블 신호 출력 단자(25) 및 칩 인에이블 펄스 신호 CEP가 출력되는 칩 인에이블 펄스 신호 출력 단자(26)를 포함한다.

제3도는 제2도에 도시된 CEB 및 CEP 신호 발생 회로의 동작을 설명하기 위한 타이밍도이다. 제3도에서, (a)는 칩 인에이블 신호/CE의 전압 파형을, (b)는 내부 칩 인에이블 신호 CEB의 전압 파형을, (c)는 칩 인에이블 펄스 신호 CEP의 전압 파형을 각각 도시한 것이다.

따라서, 제1도에 도시된 회로의 여러 부분에서의 파형은 제4도에 도시한 바와 같이 된다. 제4도에서, (a)는 어드레스 신호 AIN의 전압 파형을, (b)는 칩 인에이블 신호 /CE의 전압 파형을, (c)는 내부 칩 인에이블 신호 CEB의 전압 파형을 각각 도시한 것이다. 또한, 제4도에서, (d)는 OR 회로(10)의 출력 전압 파형을, (e)는 OR 회로(11)의 출력 전압 파형을, (f)는 어드레스 펄스 신호 ADDP의 전압 파형을 각각 도시한 것이다. 또한, 제4도에서, (g)는 칩 인에이블 펄스 신호 CEP의 전압 파형을, (h)는 출력 제어 펄스 신호 ALP의 전압 파형을, (i)는 출력 데이터 DOUT의 전압을 각각 도시한 것이다.

다시 말하여, 마스크 ROM의 제1구성예에 의하면, 출력 데이터 DOUT는 출력 제어 펄스 신호 ALP의 하강 구간과 동기하여 출력된다.

제4도에서, (i)에 도시된 tce는 칩 인에이블 신호/CE의 고레벨(비활성 레벨)에서 저레벨(활성 레벨)로의 천이에 의해 어드레스가 확인되는 시점에서부터 출력 데이터 DOUT가 출력되는 시점까지의 칩 인에이블 액세스 시간을 나타낸다.

다음에, 제5도 및 제6도를 참조하여 마스크 ROM의 제2구성예에 대하여 설명하기로 한다.

제5도는 마스크 ROM의 제2구성예의 주요부를 도시한 것이다. 제5도에서, 어드레스 버퍼(27)는 외측으로부터 공급된 어드레스 신호 AIN을 내측에 입력하는데 사용된다. 어드레스 신호 입력 단자(28)에는 어드레스 신호 AIN이 입력된다. 칩 인에이블 신호 /CE는 외측으로부터 칩 인에이블 신호 입력 단자(29)에 공급된다. 어드레스 버퍼(27)는 칩 인에이블 신호 /CE와 반전 관계를 갖는 내부 칩 인에이블 신호 CE가 입력되는 칩 인에이블 신호 입력 단자(30), NOR 회로(31), 인버터(32~37) 및 NAND 회로(38, 39)를 포함한다. 어드레스 버퍼(27)는 또한 내부 어드레스 신호 ADD가 출력되는 내부 어드레스 신호 출력 단자(40) 및 내부 어드레스 신호 /ADD가 출력되는 내부 어드레스 신호 출력 단자(41)를 포함하고 있다. 내부 어드레스 신호 ADD는 어드레스 신호 AIN과 동일한 위상 관계를 가지며, 내부 어드레스 신호 /ADD는 내부 어드레스 신호 ADD와 반전 관계를 갖는다.

어드레스 펄스 신호 발생 회로(42)는 어드레스 펄스 신호 ADDP를 발생시킨다. 어드레스 펄스 신호 발생 회로(42)는 NOR 회로(43, 44), 인버터(45~51), NAND 회로(52) 및 OR 회로(53)를 포함한다.

출력 제어 펄스 신호 발생 회로(54)는 칩 인에이블 펄스 신호 CEP가 입력되는 칩 인에이블 펄스 신호 입력 단자(55), OR 회로(56) 및 출력 제어 펄스 신호 ALP가 출력되는 출력 펄스 신호 출력 단자(57)를 포함한다.

제6도는 제5도에 도시된 회로의 동작을 설명하기 위한 타이밍도이다.

제6도에 있어서, (a)는 어드레스 신호 AIN의 전압 파형을, (b)는 칩 인에이블 신호 /CE의 전압 파형을, (c)는 내부 칩 인에이블 신호 CE의 전압 파형을 각각 도시한 것이다. 또한, 제6도에서, (d)는 어드레스 펄스 신호 CEP의 전압 파형을, (e)는 칩 인에이블 펄스 신호 CEP의 전압 파형을, (f)는 출력 제어 펄스 신호 ALP의 전압 파형을, (g)는 출력 데이터 DOUT의 전압을 도시한 것이다.

마스크 ROM의 제2 구성예에서도, 출력 데이터 DOUT는 출력 제어 펄스 신호 ALP의 하강 구간과 동기하여 출력된다.

제6도에서, (g)에 도시된 tce는 칩 측에이블 신호 /CE의 고레벨(비활성 레벨)에서 저레벨(활성 레벨)로의 천이에 의해 어드레스가 확인되는 시점에서부터 출력 데이터 DOUT가 출력되는 시점까지의 칩 인에이블 액세스 시간을 나타낸다.

이어서, 제7도 내지 제10도를 참조하여 마스크 ROM의 제3구성예에 대하여 설명하기로 한다.

제7도는 마스크 ROM의 제3구성예의 주요부를 도시한 것이다. 제7도에서, 칩 본체(58)는  $1024 \times 1024 \times 2$  비트 구성을 갖는 메모리 셀 어레이(59~62), 어드레스 버퍼(63), 로우 디코더(64, 65), 컬럼 디코더(66~69), 센스 증폭기(70~73), 출력 버퍼(74) 및 논리 회로(75)를 포함한다.

로우 어드레스 신호 a0 내지 a9 및 컬럼 어드레스 신호 a10 내지 a19는 어드레스 버퍼(63)로 입력된다. 로우 디코더((34)는 어드레스 버퍼(63)로부터 출력된 로우 어드레스 신호 a0 내지 a9를 디코딩하여 메모리 셀 어레이(59, 60)에 대한 블록 선택선 및 워드선을 선택한다. 로우 디코더(61, 62)는 어드레스 버퍼(63)로부터 출력된 로우 어드레스 신호 a0 내지 a9를 디코딩하여 메모리 셀 어레이(61, 62)에 대한 블록 선택선 및 워드선을 선택한다.

컬럼 디코더(66~69)는 각각 어드레스 버퍼(63)로부터 출력된 컬럼 어드레스 신호 a10 내지 a19를 디코딩하여 메모리 셀 어레이(59~62)의 컬럼들을 선택하기 위한 컬럼 선택 신호를 출력한다. 센스 증폭기(70~73)는 각각 메모리 셀 어레이(59~62)로부터 판독된 데이터를 검출한다. 출력 버퍼(64)는 센스 증폭기(70~73)에 의해 검출된 데이터를 외측으로 출력한다.

제7도에서, 컬럼 디코더(66~69)로부터 출력된 컬럼 선택 신호에 기초하여 메모리 셀 어레이(59)의 컬럼

들을 선택하기 위한 컬럼 게이트에 대한 도시는 생략한다.

논리 회로(75)는 외측으로부터 칩 인에이블 신호 /CE 및 출력 인에이블 신호 /OR를 입력하고 어드레스 버퍼(63), 센스 증폭기(70~73), 출력 버퍼(74) 등의 동작을 제어하기 위한 제어 신호를 출력한다.

센스 증폭기(70~73)는 각각 1비트에 대하여 제8도에 도시된 구성으로 된다.

제8도에서, 센스 증폭기부는 전원 전압 VCC를 공급하기 위한 전원선(75), 부하를 형성하는 저항(76), nMOS 트랜지스터(77), 인버터(78) 및 컬럼 게이트에 의해 선택된 비트선(79)을 포함한다.

출력 버퍼(74)는 1비트에 대하여 제9도에 도시된 구성으로 된다. 제9도에서, 출력 버퍼부는 전원 전압 VCC를 공급하기 위한 전원선(80), 내부 출력 인에이블 신호 입력 단자(81), 내부 출력 인에이블 신호 입력 단자(82), 센스 증폭기 출력 입력 단자(83), NAND 회로(84), NOR 회로(85), pMOS 트랜지스터(86), nMOS 트랜지스터(87) 및 대이터 출력 단자(88)를 포함한다. 내부 출력 인에이블 신호 입력 단자(81)에는 출력 인에이블 신호 /OE와 반전 관계를 갖는 내부 출력 인에이블 신호 OE가 입력된다. 내부 출력 인에이블 신호 입력 단자(82)에는 출력 인에이블 신호 /OE와 동일한 위상 관계를 갖는 내부 출력 인에이블 신호 OEB가 입력된다. 센스 증폭기 출력 입력 단자(83)에는 센스 증폭기 출력 SOUT가 입력된다.

이 출력 버퍼(74)에 있어서, 판독시 내부 출력 인에이블 신호 OE는 고레벨을 가지며 내부 출력 인에이블 신호 OEB는 저레벨을 갖는다.

그 결과, 센스 증폭기 출력 SOUT가 고레벨일 경우, NAND 회로(84)의 출력 저레벨로 되어 pMOS 트랜지스터(86)는 ON 상태가 되고, NOR 회로(85)의 출력이 저레벨로 되어 nMOS 트랜지스터(87)는 OFF 상태로 되며, 출력 대이터 DOUT이 고레벨로 된다.

한편, 센스 증폭기 출력 SOUT가 저레벨일 경우, NAND 회로(84)의 출력이 고레벨로 되어 pMOS 트랜지스터(86)는 OFF 상태로 되고, NOR 회로(85)의 출력이 고레벨로 되어 nMOS 트랜지스터(87)는 ON 상태로 되며, 출력 대이터 DOUT은 저레벨로 된다.

제10도는 제7도에 도시된 마스크 ROM의 제3구성예의 판독 동작을 설명하기 위한 타이밍도이다. 제10도에 있어서, (a)는 어드레스 신호 a0 내지 a9를, (b)는 센스 증폭기(70~73)의 센스 증폭기 출력 SOUT를, (c)는 출력 버퍼(74)로부터 출력된 대이터 d0 내지 d7의 변화를 도시한 것이다. 제10도에서, (a)에 표시된 TCV는 사이클 시간을 나타내고, (c)에 표시된 TAC는 어드레스 액세스 시간을 나타낸다.

이어서, 제11도 내지 제16도를 참조하여 마스크 ROM의 제4구성예에 대하여 설명하기로 한다.

제11도는 마스크 ROM의 제4구성예의 주요부를 도시한 것이다. 제11도에 있어서, 칩 본체(89)는 메모리 셀 어레이(90), 어드레스 버퍼(91), 로우 디코더(92), 컬럼 디코더(93), 센스 증폭기(94), 센스 증폭기 출력 래치 회로(95), 신호 발생 회로(96) 및 클록 신호 발생 회로(97)를 포함한다.

어드레스 버퍼(91)에는 어드레스 신호가 입력된다. 로우 디코더(92)는 어드레스 버퍼(91)로부터 출력된 로우 어드레스를 디코딩하여 메모리 셀 어레이(90)에 대한 블록 선택선 및 워드선을 선택한다. 컬럼 디코더(93)는 어드레스 버퍼(91)로부터 출력된 컬럼 어드레스 신호를 디코딩하여 메모리 셀 어레이(90)의 컬럼을 선택하는데 필요한 컬럼 선택 신호를 출력한다.

제11도에서, 컬럼 디코더(93)로부터 출력된 컬럼 선택 신호에 기초하여 메모리 셀 어레이(90)의 컬럼을 선택하기 위한 컬럼 게이트에 대한 도시는 생략한다.

센스 증폭기(94)은 메모리 셀 어레이(90)로부터 판독된 대이터를 증폭하고, 센스 증폭기 출력 래치 회로(95)는 센스 증폭기(94)의 출력을 래치한다. ATD 신호 발생 회로(96)는 외측으로부터 공급된 어드레스 신호의 전이를 나타내는 ATD 신호를 발생시킨다. 클록 신호 발생 회로(97)는 ATD 신호에 따라 센스 증폭기 출력 회로(95)에 공급되는 클록 신호 CLK를 발생시킨다.

예를 들어, ATD 신호 발생 회로(96)는 제12도에 도시된 바와 같이 구성될 수 있다. 제12도에 있어서, ATD 신호 발생 회로(96)는 어드레스 신호 ADD가 입력되는 어드레스 신호 입력 단자(99), 지연 회로(100), 배 탄적 NOR 회로(101), 인버터(102) 및 ATD 신호가 출력되는 ATD 신호 출력 단자(103)를 포함한다.

제13도는 제12도에 도시된 ATD 신호 발생 회로(96)의 동작을 설명하기 위한 타이밍도이다. 제13도에서, (a)는 어드레스 신호 ADD의 전압 파형을, (b)는 지연 회로(100)의 출력을, (c)는 ATD 신호의 전압 파형을 각각 도시한 것이다.

예를 들어, 클록 신호 발생 회로(97)는 제14도에 도시한 바와 같이 구성될 수 있다. 제14도에 있어서 클록 신호 발생 회로(97)는 ATD 신호가 입력되는 ATD 신호 입력 단자, 지연 회로(105), NOR 회로(106), 인버터(107, 108) 및 클록 신호 CLK가 출력되는 클록 신호 출력 단자(109)를 포함한다.

제15도는 제14도에 도시된 클록 신호 발생 회로(97)의 동작을 설명하기 위한 타이밍도이다. 제15도에서, (a)는 ATD 신호를, (b)는 클록 신호 CLK를 도시한 것이다.

클록 신호 CLK가 저레벨일 경우, 센스 증폭기 출력 래치 회로(95)는 센스 증폭기(94)의 출력을 판독하는 동작을 실행한다. 한편, 클록 신호 CLK가 고레벨일 경우, 센스 증폭기 출력 래치 회로(95)는 래치 동작을 실행한다.

따라서, 제11도에 도시된 마스크 ROM의 제4구성예의 여러 부분에서의 신호 파형은 제16도에 도시한 바와 같이 된다. 제16도에 있어서, (a)는 전원 전압 VCC의 전압 파형을, (b)는 어드레스 신호 ADD의 전압 파형을, (c)는 ATD 신호의 전압 파형을, (d)는 클록 신호 CLK의 전압 파형을, (e)는 출력 대이터 DOUT의 전압 파형을 각각 도시한 것이다.

다음에, 제17도 내지 제21도를 참조하여 마스크 ROM의 제5구성예에 대하여 설명하기로 한다.

제17도는 마스크 ROM의 제5구성예의 주요부를 도시한 것이다. 제17도에서, 칩 본체(11)는 메인 셀

어레이(1110~11115), 패리티 셀 어레이(112), 어레이 버퍼(113), 로우 디코더(114), 컬럼 디코더(115), 센스 증폭기(116), 출력 정정 회로(117), 용장 어드레스 기억 회로(118) 및 출력 버퍼(119)를 포함한다.

메인 셀 어레이(1110~11115)는 정상 데이터를 기억하고, 패리티 셀 어레이(112)는 패리티 데이터를 기억한다. 어드레스 버퍼(113)에는 외측으로부터의 어드레스 신호를 입력된다. 로우 디코더(114)는 어드레스 버퍼(113)로부터 출력된 로우 어드레스 신호를 디코딩하여 메인 셀 어레이(1110~11115) 및 패리티 셀 어레이(112) 대한 블록 선택선 및 워드선을 선택한다. 컬럼 디코더(115)는 어드레스 버퍼(113)로부터 출력된 컬럼 어드레스 신호를 디코딩하여 메인 셀 어레이(1110~11115) 및 패리티 셀 어레이(112)의 컬럼을 선택하는데 필요한 컬럼 선택 신호를 출력한다. 센스 증폭기(116)는 메인 셀 어레이(1110~11115) 및 패리티 셀 어레이(112)로부터 판독된 데이터를 증폭한다.

제17도에서는, 컬럼 디코더(115)로부터 출력된 컬럼 선택 신호에 기초하여 메인 셀 어레이(1110~11115) 및 패리티 셀 어레이(112)의 컬럼을 선택하기 위한 컬럼 게이트에 대한 도시는 생략한다.

또한, 제17도에서 00, 01, ..., 015는 메인 셀 어레이(1110, 1112, ..., 11115)로부터 판독된 데이터를 나타내며, PD는 패리티 셀 어레이(112)로부터 판독된 패리티 데이터를 나타낸다.

출력 정정 회로(117)는 메인 셀 어레이(1110, 1111, ..., 11115)로부터 출력된 데이터 00, 01, ..., 015를 정정한다. 용장 어드레스 기억 회로(118)는 의의(疑義 : 22 doubtful) 데이터값을 갖는 출력 데이터의 용장 어드레스 및 로우 어드레스(00, 01, ..., 또는 015)를 기억한다.

예를 들어, 용장 어드레스 기억 회로(118)는 1-비트 기억 회로를 구비한 제18도에 도시된 구성을 갖는다.

제18도에 있어서, 용장 어드레스 기억 회로(118)는 기억 소자를 형성하는 소거/프로그램 가능한 판독 전용 메모리(EPROM) 셀 트랜지스터(120), nMOS 트랜지스터(121, 122), pMOS 트랜지스터(123), 인버터(124), pMOS 트랜지스터(125) 및 nMOS 트랜지스터(126)를 포함한다.

이 용장 어드레스 기억 회로(118)에 있어서, nMOS 트랜지스터(122)의 게이트는 EEPROM 셀 트랜지스터(120)에 대한 기입 동작을 행할 때 0V로 설정되어 nMOS 트랜지스터(122)가 OFF 상태로 된다. 또한, EEPROM 셀 트랜지스터(120)의 게이트가 예컨대, 10V의 고전압 VPP로 설정되어, nMOS 트랜지스터(121)의 드레인 및 게이트는 고전압 VPP로 설정되고, EEPROM 셀 트랜지스터(120)의 드레인은, 고전압 VPP로 설정된다. 이러한 설정에 의해, EEPROM 셀 트랜지스터(120)의 드레인 근처에서 발생한 전자 사태 항복(avalanche break down)으로 인하여 발생된 열전자가 EEPROM 셀 트랜지스터(120)의 부동 게이트에 주입된다. 기입 동작을 행하기 않을 경우에는, EEPROM 셀 트랜지스터(120)의 부동 게이트에 열전자가 주입되지 않는다.

한편, 판독 동작을 행할 경우, nMOS 트랜지스터(121)의 드레인은 VCC로 설정되고 nMOS 트랜지스터(121)의 게이트는 0V로 설정되어 nMOS 트랜지스터(121)가 OFF 상태로 된다. 또한, nMOS 트랜지스터(122)의 게이트는 VCC로 설정되어 nMOS 트랜지스터(122)가 ON상태로 된다. 그리고, EEPROM 셀 트랜지스터(20)의 제어 게이트는 5V로 설정된다.

EPROM 셀 트랜지스터(120)에 대한 기입 동작이 행하여질 경우, EEPROM 셀 트랜지스터(120)는 제19도에 도시한 바와 같이 OFF 상태로 되고 노드(127)는 고레벨, 출력은 저레벨로 된다.

그 반면에, EEPROM 셀 트랜지스터(120)에 대한 기입 동작이 행하여지지 않을 경우에는, EEPROM 셀 트랜지스터(120)는 제20도에 도시한 바와 같이 ON 상태로 된다. 이 경우에, 전류 I는 전원 VCC로부터 pMOS 트랜지스터(123) 및 EEPROM 셀 트랜지스터(120)를 통해 점지로 흐른다. 따라서, 노드(127)는 저레벨, 출력은 고레벨로 된다.

예를 들어, 출력 정정 회로(117)는 제21도에 도시한 바와 같이 구성된다.

제21도에서, 출력 정정 회로(17)는 불량 출력 반전 회로(128), 디코더(129), 패리티 연산 회로(130) 및 비교기 회로(131)를 포함한다.

불량 출력 반전 회로(128)는 메인 셀 어레이(1110~11115)로부터 판독된 출력 데이터 00 내지 015중 정정의 대상이 되는 출력 데이터의 1비트는 반전시키고 나머지 비트들은 그대로 출력한다. 예를 들어, 출력 데이터 0101 정정 대상일 경우 불량 출력 반전 회로(128)는 00, /01, 02, ..., 015를 출력 데이터로서 출력한다.

디코더(129)는 용장 어드레스 기억 회로(118)로부터 공급된 의의 데이터 값을 갖는 출력 데이터의 컬럼 어드레스 신호를 디코딩한다.

패리티 연산 회로(130)는 메모리 셀 어레이(1110~11115)로부터 판독된 출력 데이터 00 내지 015에서 1-비트 패리티를 얻는다. 비교기 회로(131)는 디코더(129)에 의해 특정된 출력 데이터를 정정하는 것이 필요 한 지의 여부를 결정하기 위하여 패리티 연산 회로(130)에 의해 계산된 패리티와 패리티 셀 어레이(120)로부터 판독된 패리티 데이터를 비교하고, 그 비교 결과를 불량 출력 반전 회로(128)에 공급한다.

외측으로부터 공급된 어드레스 신호에 의해 지정된 어드레스가 용장 어드레스 기억 회로(118)에 기억된 용장 어드레스와 일치하는 경우, 예컨대, 출력 데이터 0101 디코더(129)에 의해 의의 데이터값을 갖는 출력 데이터로서 특정된다. 이 경우에 있어서, 비교기 회로(131)에서 패리티 연산 회로(130)로부터 출력된 패리티와 패리티 셀 어레이(112)로부터 판독된 패리티 데이터가 일치할 경우에는 불량 출력 반전 회로(128)는 출력 데이터 01을 정정하지 않고 출력 데이터로서 00, 01, 02, ..., 015를 외측에 출력시킨다. 한편, 비교기 회로(131)에서 패리티 연산 회로(130)로부터 출력된 패리티와 패리티 셀 어레이(112)로부터 출력된 패리티 데이터가 일치하지 않을 경우에는 불량 출력 반전 회로(128)는 출력 데이터 01을 반전시켜 출력 데이터로서 00, /01, 02, ..., 015를 외측에 출력한다.

다음에, 제22도 및 제23도를 참조하여 마스크 ROM의 제6구성에 대하여 설명하기로 한다. 이 마스크 ROM의 제6구성에는 직렬 접속된 16개의 nMOS 트랜지스터와 워드선에 접속된 게이트를 갖는 NAND형 셀을 배치함으로써 16-비트 출력을 생성한다. 여기에서, 선택된 워드선은 저레벨로 설정되고, 선택되지 않은 워드

선은 고레벨로 설정된다.

제22도는 마스크 ROM의 제6구성예의 주요부를 도시한 것이다. 제22도에 있어서, 칩 본체(132)는 메모리 셀 어레이(1330~13315) 및 로우 디코더(134~137)를 포함한다. 각 메모리 셀 어레이(1330~13315)에서는 1비트 데이터가 출력된다. 로우 디코더(134)는 메모리 셀 어레이(1330~1333)에 대한 블록 선택선 및 워드선을, 로우 디코더(135)는 메모리 셀 어레이(1334~1337)에 대한 블록 선택선 및 워드선을, 로우 디코더(136)는 메모리 셀 어레이(1338~13311)에 대한 블록 선택선 및 워드선을, 로우 디코더(137)는 메모리 셀 어레이(13312~13315)에 대한 블록 선택선 및 워드선을 각각 선택한다.

제23도는 로우 디코더(134)의 회로 구성을 도시한 것이다. 다른 로우 디코더(135~137)는 로우 디코더(134)와 동일한 회로 구성을 갖는다.

제23도에 있어서, 로우 디코더(134)는 블록 선택선 선택 회로(138, 139), 워드선 선택 회로(140, 141) 및 NAND 회로(142)를 포함한다.

블록 선택선 선택 회로(138)는 블록 선택선 선택 신호 BS0B 내지 BS7B에 기초하여 메모리 셀 어레이(1330, 1331)의 블록 선택선 BS0 내지 BS7 중 하나를 선택한다. 블록 선택선 선택 회로(139)는 블록 선택선 선택 신호 BS0 내지 BS7B에 기초하여 메모리 셀 어레이(1332, 1333)의 블록 선택선 BS0 내지 BS7 중 하나를 선택한다.

워드선 선택 회로(140)는 워드선 선택 신호 WS0 내지 WS15에 기초하여 메모리 셀 어레이(1330, 1331)의 워드선 WL0 내지 WL15 중 하나를 선택한다. 또한, 워드선 선택 회로(141)는 워드선 선택 신호 WS0 내지 WS15에 기초하여 메모리 셀 어레이(1332, 1333)의 워드선 WL0 내지 WL15 중 하나를 선택한다.

제23도에서, 신호 ROW00 및 ROW10은 로우 디코더(134)의 활성 상태, 즉, 블록 선택선 선택 회로(138, 139) 및 워드선 선택 회로(140, 141)의 활성 상태를 제어한다.

NAND 회로(142)는 블록 선택선 선택 회로(138, 139) 및 워드선 선택 회로(140, 141)의 활성 상태를 제어한다. 이 NAND 회로(142)는 pMOS 트랜지스터(143, 144) 및 nMOS 트랜지스터(145, 146)를 포함한다.

신호 ROW00이 고레벨이고 신호 ROW10이 고레벨인 경우, NAND회로(142)의 출력은 저레벨로 되어 블록 선택선 선택 회로(138, 139) 및 워드선 선택 회로(140, 141)가 작동된다.

#### (1) 제1구성예의 문제점

제1도에 도시된 회로에서는, 어드레스 신호 A1NOI 저레벨일 경우 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되면, 어드레스 펠스 신호 ADDP를 발생한다. 그 반면에, 어드레스 신호 A1NOI 고레벨일 경우 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되면, 제4도에서 알 수 있는 바와 같이 어드레스 펠스 신호 ADDP는 발생되지 않는다.

그 결과, 제4도에서 알 수 있는 바와 같이, 어드레스 펠스 신호 ADDP와 칩 인에이블 펠스 신호 CEP의 논리합(OR) 연산을 행함으로써 발생된 출력 제어 펠스신호 ALP는 상이한 펠스폭을 갖게 되고, 하강 구간의 타이밍은 어드레스 신호 A1NOI 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우와 어드레스 신호 A1NOI 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우와의 사이에서 시프트된다.

이러한 이유 때문에, 제1도에 도시된 회로로 구성되는 마스크 ROM의 제1구성예에서는 칩 인에이블 액세스 속도가 불안정하게 된다. 다시 말하면, 어드레스 신호 A1NOI 저레벨일 경우에는 어드레스 신호 A1NOI 고레벨인 경우에 비해 액세스 속도가 더 늦어지게 되며, 그것에 의해 고속 판독 동작이 방해받게 된다.

#### (2) 제2구성예의 문제점 :

제5도에 도시된 회로에서는, 어드레스 신호 A1NOI 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되면, 어드레스 펠스 신호 ADDP가 발생된다.

반면에, 제6도에서 알 수 있는 바와 같이, 어드레스 신호 A1NOI 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되면, 어드레스 펠스 신호 ADDP는 발생되지 않는다.

그 결과, 제6도에서 알 수 있는 바와 같이, 어드레스 펠스 신호 ADDP와 칩 인에이블 펠스 신호 CEP의 논리합(OR) 연산을 행함으로써 발생되는 출력 제어 펠스 신호 ALP는 상이한 펠스폭을 갖게 되며, 하강 구간의 타이밍은 어드레스 신호 A1NOI 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우와 어드레스 신호 A1NOI 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우와의 사이에서 시프트된다.

이러한 이유 때문에, 제5도에 도시된 회로로 구성되는 마스크 ROM의 제2구성예에서는, 칩 인에이블 액세스 속도가 불안정하게 된다. 다시 말하면, 어드레스 신호 A1NOI 저레벨일 경우에는 어드레스 신호 A1NOI 고레벨일 경우에 비해 액세스 속도가 더 늦어지게 되며, 그것에 의해 고속 판독 동작이 방해받게 된다.

#### (3) 제3구성예의 문제점 :

제7도에 도시된 마스크 ROM의 제3구성예에서는, 제10도에서 알 수 있는 바와 같이 사이클 시간 TCV가 어드레스 액세스 시간 TAC보다 더 길게 설정된다.

따라서, 어드레스 판정이 행하여지는 시간으로부터 어드레스 액세스 시간 TA 또는 그 이상에 달하는 시간이 경과할 때까지 어드레스 변경이 허용되지 않으며, 그것에 의해 고속 판독 동작이 방해받게 된다.

#### (4) 제4구성예의 문제점 :

제11도에 도시된 마스크 ROM의 제4구성예에서는, 전원 전압 VCC가 ON상태로 되는 시점에서 ATD 신호가 발생되지 않는다. 이 경우, 센스 증폭기 출력 래치 회로(95)는 판독 동작을 행하지 않게 되며 제16도에서 알 수 있는 바와 같이 불명확한 데이터가 출력된다. 따라서, 이 경우에는 정상 데이터가 얻어질 수 없다.

는 문제점이 있었다.

(5) 제5구성예의 문제점 :

제17도에 도시된 용장 어드레스 기억 회로(118)에 포함된 제18도의 1-비트 저장 회로에서는, 제20도에서 알 수 있는 바와 같이 EEPROM 셀 트랜지스터(120)로의 기입 동작이 행하여지지 않은 경우의 판독시에 VCC 전원측으로부터 pMOS 트랜지스터(123), nMOS 트랜지스터(122) 및 EEPROM 셀 트랜지스터(120)를 통해 점자측으로 전류가 흐른다.

따라서, 제18도에 도시된 1-비트 기어 회로를 갖는 용장 어드레스 기억 회로(118)로 구성되는 마스크 ROM의 제5구성에는 전력 소모가 커지는 문제점이 있었다.

또한, 제17도에 도시된 마스크 ROM의 제5 구성예에 포함된 출력 정정 회로(117)에서는, 외측으로부터 공급된 어드레스 신호에 의해 지정된 어드레스와 용장 어드레스 기억 회로(118)에 기억된 용장 어드레스가 서로 일치하고 제21도에 도시된 패리티 연산 회로(130)로부터 출력된 패리티와 패리티 셀 어레이(112)로부터 판독된 패리티 데이터가 서로 일치하지 않을 경우, 용장 어드레스 기억 회로(118)로부터 출력된 어드레스 신호에 의해 특정되는 의의 데이터값을 갖는 출력 데이터가 반전된다.

이러한 이유 때문에, 의의 데이터값을 갖는 출력 데이터가 고레벨 또는 저레벨 고정되지 않는 불량 데이터로 되면, 정상 출력 데이터를 얻을 수 없다는 문제점이 있었다.

(6) 제6구성예의 문제점 :

제22도에 도시된 마스크 ROM의 제6구성예에서는, 모든 메모리셀 어레이(1330~13315)의 워드선이 판독시 1 사이클내에서 구동된다. 따라서, 이경우 전력소모가 커지는 문제점이 있었다.

따라서, 본 발명의 기본 목적은 상술한 문제점을 해소한 신규의 유용한 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 구체적 목적은 첨 인에이블 신호 및 어드레스 신호를 수신하기 위한 수단, 그 수단에 결합된 내부 회로, 및 상기 내부 회로가 첨 인에이블 신호의 비활성 레벨에 응답하여 비작동되고 첨 인에이블 신호의 활성 레벨에 응답하여 작동되는 경우 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이될 때 어드레스 신호의 레벨에 관계없이 반도체 메모리 장치의 출력 타이밍을 동일하게 만드는 소정의 내부 제어 신호를 발생하는 내부 제어 신호 발생 회로를 구비하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 출력 타이밍에서 시프트를 갖지 않으며 안정된 소정의 내부 제어 신호를 얻을 수 있다. 예를 들어, 이 소정의 내부 제어 신호가 외측에 대한 데이터의 출력 타이밍을 제어하기 위한 출력 제어 펄스 신호로서 사용되는 경우, 어드레스 신호가 어느 한 레벨을 가질 경우의 첨 인에이블 액세스 시간과 동일하게 만들 수 있다. 이러한 이유 때문에, 첨 인에이블 액세스 시간을 안정화시킬 수 있고 그에 따라 고속 데이터 판독을 실현시킬 수 있게 된다.

본 발명의 또 다른 목적은 첨 인에이블 신호 및 어드레스 신호를 수신하기 위한 수단, 그 수단에 결합된 내부 회로, 상기 내부 회로가 첨 인에이블 신호의 비활성 레벨에 의해 비작동되고 첨 인에이블 신호의 활성 레벨에 의해 작동될 경우 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이될 때 소정의 펄스폭을 갖는 첨 인에이블 펄스 신호를 발생시키는 첨 인에이블 펄스 신호 발생 회로, 상기 어드레스 신호가 제1 및 제2 레벨중 제1 레벨을 가질 때 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이하는 경우 소정의 펄스폭을 갖는 어드레스 펄스 신호를 발생하고, 어드레스 신호가 제2 레벨을 가질 때 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이하는 경우 어드레스 펄스 신호를 발생시키지 않는 어드레스 펄스 신호 발생 회로, 어드레스 신호가 제1 레벨을 가질 때 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이되는 경우 어드레스 펄스 신호를 통과시키지 않도록 상기 어드레스 펄스 신호 발생 회로로부터 출력된 어드레스 펄스 신호의 통과를 제어하는 어드레스 펄스 신호 통과 제어 회로, 및 어드레스 펄스 신호 통과 제어 회로와 첨 인에이블 펄스 신호 발생 회로의 출력들에 대한 논리합 연산을 실행함으로써 소정의 내부 제어 신호를 발생시키는 내부 제어 신호 발생 회로를 구비하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 출력 타이밍에서 시프트를 갖지 않고 안정된 소정의 내부 제어 신호를 얻을 수 있다. 예를 들어, 이 소정의 내부 제어 신호가 외측에 대한 데이터의 출력 타이밍을 제어하기 위한 출력 제어 펄스 신호로서 사용되는 경우, 어드레스 신호가 어느 한 레벨을 가질 경우의 첨 인에이블 액세스 시간과 동일하게 만들 수 있다. 이러한 이유 때문에, 첨 인에이블 액세스 시간을 안정화시킬 수 있고, 그에 따라 고속 데이터 판독을 실현시킬 수 있게 된다.

본 발명의 또 다른 목적은 첨 인에이블 신호 및 어드레스 신호를 수신하기 위한 수단, 그 수단에 결합된 내부 회로, 상기 내부 회로가 첨 인에이블 신호의 비활성 레벨에 의해 비작동되고 첨 인에이블 신호의 활성 레벨에 의해 작동되는 경우 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이될 때 소정의 펄스폭을 갖는 첨 인에이블 펄스 신호를 발생시키는 첨 인에이블 펄스 신호 발생 회로, 어드레스 신호의 레벨에 관계없이 첨 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이될 경우 어드레스 펄스 신호를 발생시키는 어드레스 펄스 신호 발생 회로, 및 어드레스 펄스 제어 신호 통과 제어 회로와 첨 인에이블 펄스 신호 발생 회로의 출력들에 대한 논리합 연산을 실행함으로써 소정의 내부 제어 신호를 발생시키는 내부 제어 신호 발생 회로를 구비하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 출력 타이밍에서 시프트를 갖지 않고 안정된 소정의 내부 제어 신호를 얻을 수 있다. 예를 들어, 이 소정의 내부 제어 신호가 외측에 대한 데이터의 출력 타이밍을 제어하기 위한 출력 제어 펄스 신호로서 사용되는 경우, 어드레스 신호가 어느 한 레벨을 가질 경우의 첨 인에이블 액세스 시간을 어드레스 신호가 다른 레벨을 가질 경우와 동일하게 만들 수 있다. 이러한 이유 때문에, 첨 인에이블 액세스 시간을 안정화시킬 수 있으며, 그에 따라 고속 데이터 판독을 실현 할 수 있게 된다.

본원 발명의 또 다른 목적은 소정의 어드레스 신호를 수신하는 어드레스 버퍼, 어드레스 버퍼로부터 연속 출력되는 소정의 어드레스 신호를 연속해서 기억하는 제1~제n 어드레스 기억 회로, 제1~제n 어드레스

기억 회로에 대응하여 제공되며, 제1~제n 어드레스 기억 회로에서 출력되는 소정의 어드레스 신호를 디코딩함으로서 데이터가 판독되는 제1~제n 메모리 영역, 및 제1~제n 메모리 영역에서 판독된 데이터를 면속해서 스위칭하고 출력하는 출력 스위칭 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 어드레스 액세스 시간이 마스크 ROM과 동일하게 설정될 경우에도 사이클 시간을 마스크 ROM의 사이클 시간의 1/n이 되게 할 수 있다. 다시 말해, 사이클 시간이 어드레스 액세스 시간보다 더 짧게 될 수 있다. 그러한 이유로, 단위 시간당 데이터 판독량이 증가되어 고속 데이터 판독 동작을 실현시킬 수 있다.

본 발명의 또 다른 목적은 소정의 어드레스 신호에 의해 지정되는 어드레스 값인 초기값으로부터의 면속적인 증분 또는 감분에 의해 어드레스 값을 나타내는 어드레스 신호를 출력하는 어드레스 카운터, 이 어드레스 카운터에서 출력되는 어드레스 신호를 면속해서 기억 및 출력하는 제1~제n 어드레스 기억 회로, 제1~제n 어드레스 기억 회로에 대응하여 제공되며, 제1~제n 어드레스, 기억 회로로부터 출력되는 어드레스 신호를 디코딩함으로써 데이터가 판독되는 제1~제n 메모리 영역, 및 제1~제n 메모리 영역에서 판독된 데이터를 면속해서 스위칭하고 출력하는 출력 스위칭 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 어드레스 액세스 시간이 마스크 ROM과 동일하게 설정될 경우에도 사이클 시간을 마스크 ROM의 사이클 시간의 1/n이 되게 할 수 있다. 다시 말해, 사이클 시간이 어드레스 액세스 시간보다 더 짧게 될 수 있다. 이러한 이유로, 단위 시간당 데이터 판독량이 증가되어 고속 데이터 판독 동작을 실현시킬 수 있다.

본 발명의 또 다른 목적은 어드레스 신호의 천이를 나타내는 어드레스 천이 신호를 발생하는 어드레스 천이 신호 발생 회로, 데이터를 기억하는 메모리 영역, 이 메모리 영역으로부터 판독된 데이터를 증폭하는 센스 증폭기, 센스 증폭기로부터 출력된 센스 증폭기 출력을 판독 및 래칭하는 센스 증폭기 출력 래치 회로, 및 전원이 아탈 경우 래치 동작 상태가 아닌 판독 동작 상태로 되도록 센스 증폭기 출력 래치 회로를 제어하는 센스 증폭기 출력 래치 제어 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 전원이 ON으로 될 경우 센스 증폭기 출력 래치 회로는 판독 동작을 개시하고, 전원이 ON일 경우의 어드레스 신호에 대응하는 데이터가 출력된다. 다시 말해, 전원이 ON으로 된 직후 판독 동작을 실행할 수 있다. 그 결과, 고속 데이터 판독 동작을 실현시킬 수 있다.

본 발명의 또 다른 목적은 용장 어드레스 기억 회로와 이 용장 어드레스 기억 회로내에 구성되는 1-비트 기억 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 여기에서 상기 1-비트 기억 회로는 제1 및 제2 절점과 제어 단자를 갖는 제1스위칭 소자와, 판독 동안에는 제1스위칭 소자의 제1절점에 접속되는 고전압축 전원을 포함하는데, 상기 제1스위칭 소자는 이 소자의 제어 단자에 저전위가 인가될 때 도통되고 그 제어 단자에 고전위가 인가될 때 도통되지 않으며, 제1 및 제2절점과 제어 단자를 갖는 제2스위칭 소자를 포함하는데, 상기 고전압축 전원은 판독동안 제2스위칭 소자의 제1절점에 접속되며, 상기 제2스위칭 소자는 이 소자의 제어 단자에 저전위가 인가될 때 도통되고 그 제어 단자에 고전위가 인가될 때 도통되지 않으며, 제1스위칭 소자의 제2절점 및 제2스위칭 소자의 제어 단자에 접속되는 제1단부와 저전압축 전원에 접속되는 제2단부를 갖는 제1퓨즈와, 제2스위칭 소자의 제2절점 및 제1스위칭 소자의 제어 단자에 접속되는 제1단부와 저전압축 전원에 접속되는 제2단부를 갖는 제2퓨즈를 포함하는데, 제1 또는 제2퓨즈를 절단함으로서 제2스위칭 소자의 제2절점에 통해 출력이 얻어진다. 본 발명에 따른 반도체 메모리 장치에 의하면, 제1스위칭 소자가 OFF되고, 제2스위칭 소자가 OFF되며, 출력은 제1퓨즈가 절단되고, 제2퓨즈가 절단되지 않을 경우 고레벨로 된다. 반면에, 제1스위칭 소자가 OFF되고, 제2스위칭 소자가 ON되며, 출력은 제1퓨즈가 절단되지 않고, 제2퓨즈가 절단될 경우 저레벨로 된다. 따라서, 고전압축 전원에서 저전압축 전원으로의 전류 흐름은 존재하지 않아 전류가 규칙적으로 흐르지 않게 된다. 따라서, 반도체 메모리 장치의 전력 소비를 감소시킬 있다.

본 발명의 또 다른 목적은 애드레스 신호를 수신하기 위한 수단, 출력 데이터를 정정하는 출력 정정 회로 및 용장 어드레스 기억 회로를 포함하며, 상기 용장어드레스 기억 회로는 어드레스 신호에 의해 지정되는 어드레스가 용장 어드레스와 일치할 경우 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 공급하고, 어드레스 신호에 의해 지정된 어드레스가 용장 어드레스와 다를 경우 그 출력을 고임피던스 상태로 출력하는 기억 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 용장 어드레스 기억 회로와 용장 어드레스 기억 회로내에 제공되는 1-비트 기억 회로를 포함하는 반도체 메모리 회로를 제공하는 것이다. 여기에서 상기 1-비트 기억 회로는 소스와 판독증에 고전압축 전원에 접속되는 드레인 및 제어 게이트를 가지며 전기적으로 기입 가능한 제1비휘발성 메모리 셀 트랜지스터와, 저전압축 전원에 접속되는 소스와 판독증에 제1 비휘발성 메모리 셀 트랜지스터의 소스에 접속되는 드레인 및 제어 게이트를 가지며 전기적으로 기입 가능한 제2 비휘발성 메모리 셀 트랜지스터를 포함하며, 제1 또는 제2비휘발성 메모리 셀 트랜지스터에 기입 동작을 실행함으로써 제1 비휘발성 메모리 셀 트랜지스터의 소스를 통해 출력이 얻어진다. 본 발명의 반도체 메모리 장치에 의하면, 제1비휘발성 메모리 셀 트랜지스터가 OFF되고, 제2 비휘발성 메모리 셀 트랜지스터가 ON되며, 출력은 제1비휘발성 메모리 셀 트랜지스터가 ON되고, 제2비휘발성 메모리 셀 트랜지스터가 OFF되며, 출력은 제2비휘발성 메모리 셀 트랜지스터에 기입이 실행될 경우 고레벨로 된다. 따라서, 고전압축 전원에서 저전압축 전원으로의 전류 흐름은 존재하지 않아 전류가 규칙적으로 흐르기 않게 된다. 따라서, 반도체 메모리 장치의 전력 소비를 감소시킬 수 있다.

본 발명의 또 다른 목적은 용장 어드레스 기억 회로와 이 용장 어드레스 기억 회로내에 구성되는 1-비트 기억 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 여기에서 상기 1-비트 기억 회로는 제1 및 제2절점과 제어 단자를 갖는 제1스위칭 소자와, 이 제1스위칭 소자의 제1단자에 접속되는 고전압축 전원을 포함하는데, 상기 제1스위칭 소자는 이 소자의 제어 단자에 저전위가 인가될 경우 도통되고 그 제어 단자에 고전위가 인가될 경우 도통되지 않고, 제1 및 제2절점과 제어 단자를 갖는 제2스위칭 소자를 포함하는데, 상기 고전압축 전원은 제2스위칭 소자의 제1절점에 접속되고, 상기 제2스위칭 소자는 이 소자의 제어 단자에 저전위가 인가될 때 도통되고 그 제어 단자에 고전위가 인가될 때 도통되지 않고, 판독 증 제1스위칭 소자의 제2절점에 접속되는 드레인, 저전압축 전원에 접속되는 소스 및 판독 전압이 공급되는 제어 게이트를 가지며 전기적으로 기입 가능한 제1비휘발성 메모리 셀 트랜지스터와, 판독증 제2스위칭 소

자의 제2접점에 접속되는 드레인, 저전압측 전원에 접속되는 소스 및 판독 전압이 공급되는 제어 게이트를 가지며 전적으로 기입 가능한 제2비휘발성 메모리 셀 트랜지스터를 포함하는데, 상기 제1 또는 제2비휘발성 메모리 셀 트랜지스터에 기입 동작을 실행함으로써 제1비휘발성 메모리 셀 트랜지스터의 소스를 통해 출력이 얻어진다. 본 발명의 반도체 메모리 장치에 의하면, 제1비휘발성 메모리 셀 트랜지스터가 OFF되고, 제2비휘발성 메모리 셀 트랜지스터가 ON되고, 제1스위칭 소자가 ON되고, 제2스위칭 소자가 OFF되고, 출력은 제1비휘발성 메모리 셀 트랜지스터에 대해 기입이 실행될 경우 저레벨로 된다. 반면에, 제1비휘발성 메모리 셀 트랜지스터가 OFF되고, 제2비휘발성 메모리 셀 트랜지스터가 ON되고, 제1스위칭 소자가 OFF되고, 제2스위칭 소자가 ON되고, 출력은 제2비휘발성 메모리 셀 트랜지스터에 대해 기입이 실행될 경우 고레벨로 된다. 따라서, 고전압측 전원으로의 전류 흐름 경로는 존재하지 않게 되며 전류가 규칙적으로 흐르지 않게 된다. 따라서, 반도체 메모리 장치의 전력 소비를 감소시킬 수 있다.

본 발명의 또 다른 목적은 어드레스 신호를 수신하기 위한 수단, 대이터를 기억하는 다수의 메인 셀 어레이, 패리티 데이터를 기억하는 다수의 패리터 셀 어레이, 및 출력 정정 회로를 포함하는 반도체 메모리 장치를 제공하는 것이며, 여기에서, 상기 출력 정정 회로는 상기 메인 셀 어레이로부터 출력되는 출력 데이터에 기초하여 의의 데이터값을 갖는 출력 데이터를 대신해 출력될 데이터를 발생시키고, 의의 데이터값을 갖는 출력 데이터와 어드레스 신호에 의해 지정된 어드레스가 융장 어드레스와 일치할 경우 패리티 셀 어드레스로부터 출력되는 패리티 데이터를 배제하는 출력 데이터 발생 회로와, 메인 셀 어레이로부터 출력되는 출력 데이터를 외측으로 출력될 데이터로서 출력하고 의의 데이터값을 갖는 출력 데이터와 출력 데이터 발생 회로에 의해 발생된 출력 데이터를 배제하는 출력 데이터 스위칭 회로를 포함한다. 본 발명의 반도체 메모리 장치에 의하면, 의의 데이터값을 갖는 출력 데이터가 고레벨 또는 저레벨로 고정되지 않는 불량 데이터인 경우에서도 외측으로 정상 출력 데이터를 출력할 수 있다.

이 경우에, 반도체 메모리 장치는 정상 상태에서 사용되는 융장 어드레스를 기억하는 제1융장 어드레스 기억 회로와, 시험 단계동안 시험을 목적으로 융장 어드레스를 기억할 수 있는 제2융장 어드레스 기억 회로를 추가로 포함할 수 있다.

이 경우에는, 웨이퍼 상태의 반도체 메모리 장치에서 정상 상태가 제2융장 어드레스 기억 회로를 사용함으로써 융장 어드레스를 위한 출력인자의 여부를 검사하기 위해 시험을 실행할 수 있다. 이러한 이유로, 제1융장 어드레스 기억 회로에 대해 기입 동작이 실행된 후에는 정상 상태가 융장 어드레스용 출력인자의 여부를 검사하기 위해 다시 시험을 실행할 필요가 없으므로, 시험 과정이 단순화된다.

본 발명의 또 다른 목적은 다수의 메모리 셀과 공통 워드선을 갖는 다수의 메모리 셀 어레이, 워드선을 선택하는 다수의 워드선 선택 회로, 각각의 워드선 선택 회로와 메모리 셀 어레이에 의해 형성되는 다수의 메모리 영역을 포함하는데, 상기 각각의 메모리 셀 어레이는 동일한 어드레스를 갖는 워드선과 동일한 어드레스를 갖는 비트선을 구비하는 메모리 영역을 형성하며, 어드레스를 디코딩하고 판독증에 메모리 영역 중 하나를 선택하여 메모리 영역 중 선택된 하나에 대응하는 워드선 선택 회로 중 하나를 활성화하여 어드레스 신호에 의해 선택된 메모리 영역을 형성하는 메모리 셀 어레이의 선택된 메모리로부터 데이터를 출력하기 위한 수단을 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명에 의하면, 판독증에 메모리 셀 영역 중 하나를 선택한 어드레스 신호에 의해 선택된 메모리 셀 영역의 워드선 선택 회로와, 미 워드선 선택 회로에 접속된 워드선만 구동된다. 선택되지 않은 메모리 영역의 워드선은 구동되지 않는다. 그 결과 반도체 메모리 장치의 전력 소비를 감소시킬 수 있다.

본 발명의 또 다른 목적은 다수의 메인 셀 어레이와 다수의 패리티 셀 어레이를 구비한 메모리 셀부, 다수의 로우 디코더 회로를 구비하고 입력 어드레스의 로우 어드레스를 디코딩하고 메모리 셀부로부터 로우 어드레스에 의해 지정된 데이터와 패리티 데이터를 출력하는 로우 디코더, 다수의 컬럼 디코더 회로를 구비하고 입력 어드레스 중 컬럼 어드레스를 디코딩하고 메모리 셀부로부터 출력된 데이터 및 패리티 데이터를 출력하는 컬럼 디코더, 불량 메모리 셀을 포함하는 어드레스 영역을 기억하고 불량 비트를 나타내는 데이터를 출력하는 불량 출력 기억회로, 및 로우 디코더 회로에 의해 구동되는 각각의 워드선은 다수의 메인 셀 어레이를 가로지르지 않는 경우에 불량 출력 기억회로의 출력 데이터 및 패리티 데이터에 기초하여 컬럼 디코더로부터 출력되는 데이터 중 불량한 것을 포함하는 메인 셀 어레이의 출력 데이터를 정정하여 출력하는 융장 회로를 단지하는 반도체 메모리 셀을 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 하나의 로우 디코더 회로는 2개의 메인 셀 어레이의 워드선만을 구동한다. 이러한 이유로, 워드선이 불량하게 될 경우에도 2개의 메인 셀 어레이 중 단지 하나의 출력만 불량하게 되고, 단이 하나의 메인 셀 어레이만 불량 출력을 발생시킴으로써 불량한 것은 패리티 셀 어레이에 기억된 패리티 데이터의 사용에 의해 치유될 수 있게 된다. 따라서, 워드선 방향 및 컬럼 방향에서의 불량이 치유될 수 있으므로 양품률을 안정화시킬 수 있다.

본 발명의 또 다른 목적은 각각 3의 배수인 다수의 셀 어레이 만들어지는 블록 단위로 구성되는 다수의 메인 셀 어레이와 다수의 패리티 셀 어레이를 구비한 메모리 셀부, 다수의 로우 디코더 회로를 구비하고 입력 어드레스의 로우 어드레스를 디코딩하고 메모리 셀부로부터 로우 어드레스에 의해 지정된 데이터 및 패리티 데이터를 출력하는 로우 디코더, 다수의 컬럼 디코더 회로를 구비하고 입력 어드레스의 컬럼 어드레스를 디코딩하고 메모리 셀부로부터 출력된 데이터 및 패리티 데이터 중 컬럼 어드레스에 의해 지정된 데이터 및 패리티 데이터를 출력하는 컬럼 디코더, 불량 메모리 셀을 구비하는 어드레스 영역을 기억하고 불량 비트를 나타내는 데이터를 출력하는 불량 출력 기억회로, 및 상기 로우 디코더 회로에 의해 구동되는 각각의 워드선은 패리티 데이터 발생과 상호 무관한 셀 어레이만을 구동하는 경우에 불량 출력 기억회로의 패리티 데이터 및 출력 데이터에 기초하여 컬럼 디코더로부터 출력된 데이터 중 불량한 것을 포함하는 메인 셀 어레이의 출력 데이터를 정정하여 출력하는 융장 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 한 블록내의 다수의 메인 셀 어레이의 출력 불량은 효과적으로 치유되고, 워드선 방향과 컬럼 방향에서의 불량이 치유될 수 있다. 따라서, 양품률을 안정화시킬 수 있다.

본 발명의 또 다른 목적은 불량 메모리 셀을 치유하는데 이용하기 위해 데이터를 기억하는 다수의 메인 셀

머레이와 패리티 데이타를 기억하는 다수의 패리티 셀 머레이를 구비하는 메모리 셀부, 입력 어드레스와 무관하게 불량률을 포함하는 메인 셀 머레이를 나타내는 미리 기억된 용장 정보에 기초하여 불량 출력 비트를 나타내는 제1출력 데이타를 출력하기 위한 제1수단, 입력 어드레스에 의해 지정된 메모리 셀부의 메인 및 패리티 셀 머레이로부터 판독된 제2출력 데이타 및 패리티 데이타로부터 불량 출력 비트가 치유될 것으로 의한 여부를 검출하기 위한 제2수단, 및 이 제2수단이 불량 출력 비트가 치유될 것인지를 검출한 경우 제1수단으로부터의 제1출력 데이타에 기초하여 불량 비트를 정정하여 출력하기 위한 제3수단을 포함하는 반도체 메모리 장치를 제공하는 것이다. 본 발명의 반도체 메모리 장치에 의하면, 용장 회로의 구성을 단순화시킬 수 있고, 용장 회로 및 관련 배선부가 차지하는 면적을 감소시킬 수 있어 반도체 메모리 장치의 집적 밀도가 개선될 수 있다.

또한, 패리티 셀 머레이를 포함하는 일부의 메모리 셀부에서 워드선의 길이가 다른 부분에서의 워드선의 길이보다 더 길어지는 것을 방지할 수 있으며, 따라서 동작 속도가 메모리 셀부의 여러 부분에서 서로 상이하거나 느려지는 것을 방지할 수 있다.

본 발명의 또 다른 목적은 불량 메모리 셀을 치유하는데 이용되는 데이타 및 패리티 데이타를 기억하는 메모리 셀부, 활성 상태의 메모리 셀부로부터 판독된 출력 데이타를 증폭하고 비활성 상태의 고정된 제1논리 레벨을 갖는 출력 데이타를 출력하기 위한 센스 증폭기, 입력 어드레스가 미리 기억된 불량 어드레스와 일치할 경우 비교 일치 검출 신호를 출력하기 위한 비교 일치 검출 수단, 비교 일치 검출 신호에 응답하여 미리 기억된 불량 출력력을 나타내는 불량 출력 선택 데이타를 출력하기 위한 불량 출력 선택 수단, 센스 증폭기 수단으로부터의 출력 데이타 및 불량 출력 선택 수단으로부터의 불량 출력 선택 데이타를 수신하기 위한 데이타 스위칭 수단, 및 모든 신호가 수신된 때 제1논리 레벨에 반대되는 제2논리 레벨을 갖는 제2신호를 데이타 스위칭 수단에 공급하고, 데이타 스위칭 수단은 불량 출력 선택 수단으로부터의 불량 출력 선택 데이타에 의해 표시되는 불량 비트에 대해 센스 증폭기 수단으로부터의 출력 데이타를 대신하여 논리 회로 수단으로부터의 제2신호를 출력하는 경우에 불량 출력이 판독되는 시 그내취 판독 모드를 나타내는 모든 신호에 기초하여 센스 증폭기 수단을 활성 상태로 하기 위해 제1 신호를 센스 증폭기 수단에 공급하고 모든 신호와 메모리 셀부로부터 판독된 출력 데이타 및 패리티 데이타에 기초하여 패리티 검사 결과를 나타내는 제2신호를 데이타 스위칭 수단에 공급하기 위한 논리 회로 수단을 포함하는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 반도체 메모리 장치에 의하면, 데이타 스위칭 수단은 불량 출력 선택 수단으로부터의 불량 출력 선택 데이타에 의해 표시되는 불량 비트에 대해 센스 증폭기 수단의 출력 데이타를 대신하여 논리 회로 수단으로부터의 제2 신호를 출력한다.

이러한 이유로, 불량 어드레스의 내용과, 입력 어드레스로부터의 불량 출력 및 데이타 스위칭 수단의 출력 데이타를 알 수 있다. 따라서, 마스크 ROM의 구성 예의 경우에 필요했던 스위칭 회로와 관련 배선부가 불필요해지고, 용장 회로와 관련 배선부가 차지하는 영역이 감소될 수 있다. 그러므로, 반도체 메모리 장치의 집적 밀도가 개선될 수 있다.

본 발명의 기타의 목적 및 특징은 첨부 도면 참조하여 이하의 설명으로부터 명백하게 될 것이다.

### [1] 제1실시예 :

제24도 내지 제31도를 참조하여 본 발명에 따른 반도체 메모리 장치의 제1실시예를 설명하기로 한다. 이 실시예 및 후속되는 실시예들에서 본 발명은 마스크 ROM에 적용된다.

제24도는 제1실시예의 주요부의 회로도로서, 출력 제어 펄스 ALP를 발생하는데 필요한 회로를 도시한 것이다.

제24도의 회로는 제1도의 회로를 개량한 것이다. 제24도에서, 어드레스 펄스신호 통과 제어 회로(200)는 어드레스 펄스 발생 회로(6)와 출력 제어 펄스 신호 발생 회로(14) 사이에 제공된다. 그 외에는, 제24도의 회로 구성은 기본적으로 제1도의 회로 구성과 동일하다. 제24도에서, 제1도와 대응되는 부분은 동일 참조 부호로 표시되고 동일 부분에 대한 설명은 생략한다.

어드레스 펄스 신호 통과 제어 회로(200)는 어드레스 신호 A10이 저레벨일 때, 침 인에이블 신호 /OE의 고레벨(비활성 레벨)에서 저레벨(활성 레벨)로의 전이에 응답하여 발생되는 어드레스 펄스 신호 ADDP를 차단한다. 한편, 어드레스 펄스 신호 통과 제어 회로(200)는 어드레스 신호 A10이 고레벨일 때, 침 인에이블 신호 /OE의 고레벨에서 저레벨로의 전이에 응답하여 발생되는 어드레스 펄스 신호 ADDP를 통과시킨다. 상기 어드레스 펄스 신호 통과 제어 회로(200)는 어드레스 펄스 신호 통과 제어 신호 CONT가 입력되는 어드레스 펄스 신호 통과 제어 신호 입력 단자(210), 인버터(202) 및 AND 회로(203)를 구비한다.

어드레스 펄스 신호, 통과 제어 회로(200)는 입력 단자(201)에 입력되어 AND 회로(203)의 한 입력단에 공급되기 전에 인버터(202)에 의해 반전되는 어드레스 펄스 신호 통과 제어 신호 CONT에 따라, OR 회로(12)로부터 출력되는 어드레스 펄스 신호를 통과할 것인지 아닌지를 제어한다. 이와 같이 하여, 어드레스 신호 A10이 저레벨일 때 침 인에이블 신호 /CE의 고레벨에서 저레벨로의 전이에 응답하여 어드레스 펄스 신호 ADDP가 발생되는 경우, 어드레스 펄스 신호 통과 제어 신호 CONT는 적어도 어드레스 신호 A10이 저레벨인 동안에 고레벨 값을 가져야만 한다.

상기 어드레스 펄스 신호 통과 제어 신호 CONT는 예로서 제25도에 도시된 제1구성을 갖는 어드레스 펄스 신호 통과 제어 신호 발생 회로에 의해 발생될 수 있다.

제25도에서, 어드레스 펄스 신호 통과 제어 신호 발생 회로는 침 인에이블 신호 /CE와 동일한 위상 관계를 갖는 내부 침 인에이블 신호 CEB가 입력되는 내부 침 인에이블 신호 입력 단자(204), 지연 회로를 형성하는 인버터 (205~208), OR 회로(209) 및 어드레스 펄스 신호 통과 제어 신호 CONT가 출력되는 어드레스 펄스 신호 통과 제어 신호 출력 단자(210)를 구비한다.

이 경우에, 인버터(205~208)의 지연 시간은 어드레스 펄스 신호 통과 제어신호 CONT의 하강 구간의 타이밍이 어드레스 신호 A10이 저레벨일 때 침 인에이블 신호 /CE의 고레벨에서 저레벨로의 전이에 응답하여

발생되는 어드레스 펄스 신호 ADDP의 하강 구간의 타이밍과 같거나 약간 지연되도록 설정된다.

제26도는 제25도의 어드레스 펄스 신호 통과 제어 신호 발생 회로의 동작을 설명해주는 타이밍도이다. 제26도에서, (a)는 내부 칩 인에이블 신호 CEB의 전압 파형을, (b)는 인버터(208)의 출력 전압 파형을, (c)는 어드레스 펄스 신호 통과 제어 신호 CONT의 전압 파형을 나타낸 것이다.

따라서, 제24도의 회로의 여러 부분에서의 신호 파형은 제25도의 어드레스 펄스 신호 통과 제어 신호 발생 회로가 제공되어 이 어드레스 펄스 신호 통과 제어신호 발생 회로로부터 출력된 어드레스 펄스 신호 통과 제어 신호 CONT가 제24도의 어드레스 펄스 신호 통과 제어 회로(200)의 어드레스 펄스 신호 통과 제어 신호입력 단자(201)에 입력되는 경우에 제27도에 도시된 파형과 같이 된다.

제27도에서 (a)는 어드레스 신호 AIN의 전압 파형을, (b)는 칩 인에이블 신호 /CE의 전압 파형을, (c)는 내부 칩 인에이블 신호 CEB의 전압 파형을, (d)는 OR 회로(10)의 출력 전압 파형을, (d)는 OR 회로(11)의 출력 전압 파형을 나타낸 것이다. 또한, (f)는 어드레스 펄스 신호 ADDP의 전압 파형을, (g)는 어드레스 펄스 신호 통과 제어 신호 CONT의 전압 파형을, (h)는 AND 회로(203)의 출력 전압 파형을, (i)는 칩 인에이블 펄스 신호 CEP의 전압 파형을, (j)는 출력 제어 펄스 신호 ALP의 전압 파형을, (k)는 출력 데이터 DOUT의 변화를 나타낸 것이다.

그러므로, 제25도의 어드레스 펄스 신호, 통과 제어 신호 발생 회로가 제공되어 이 회로로부터 출력된 어드레스 펄스 신호 통과 제어 신호 CONT가 제24도의 어드레스 펄스 신호 통과 제어 회로(200)의 어드레스 펄스 신호 통과 제어 신호입력 단자(201)에 입력되는 경우에, 어드레스 신호 AIN(1) OR 회로(16)에 공급됨에 따라 저레벨값을 가질 때 칩 인에이블 신호 /CE의 고레벨에서 저레벨로의 천이에 응답하여 발생된 어드레스 펄스 신호 ADDP를 차단할 수 있다.

따라서, 이 경우에, 칩 인에이블 펄스 신호 CEP가 OR 회로(16)에 입력되기 때문에, 칩 인에이블 펄스 신호 CEP와 동일한 펄스폭을 갖는 출력 제어 펄스 신호 ALP를 발생할 수 있다.

달리 말하면, 어드레스 신호 AIN(1) 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이하는 경우, 또는 어드레스 신호 AIN(1) 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이하는 경우에 관계없이 하강 구간의 타이밍에서의 시프트를 갖지 않는 출력 제어 펄스 신호 ALP를 얻을 수 있다.

또한, 상기 어드레스 펄스 신호 통과 제어 신호 CONT는 예로서 제28도에 도시된 제2구성을 갖는 어드레스 펄스 신호 통과 제어 신호 발생 회로에 의해 발생될 수도 있다.

제28도에서, 어드레스 펄스 신호 통과 제어 신호 발생 회로는 칩 인에이블 펄스 신호 CEP가 입력되는 칩 인에이블 펄스 신호 입력 단자(211), 지연 회로를 형성하는 인버터(212~215), OR 회로(216) 및 어드레스 펄스 신호 통과 제어 신호 CONT가 출력되는 어드레스 펄스 신호 통과 제어 신호 출력 단자(217)를 구비한다.

이 경우에, 인버터(212~215)의 지연 시간은 어드레스 펄스 신호 통과 제어 신호 CONT의 하강 구간의 타이밍이 어드레스 신호 AIN(1) 저레벨일 때 칩 인에이블 신호 /CE의 고레벨에서 저레벨로의 천이에 응답하여 발생되는 어드레스 펄스 신호 ADDP의 하강 구간의 타이밍과 같거나 약간 지연되도록 설정된다.

제29도는 제28도의 어드레스 펄스 신호 통과 제어 신호 발생 회로의 동작을 설명해주는 타이밍도이다. 제29도에서, (a)는 내부 칩 인에이블 신호 CEB의 전압 파형을, (b)는 인버터(215)의 출력 전압 파형이며, (c)는 어드레스 펄스 신호 통과 제어 신호 CONT의 전압 파형을 나타낸 것이다.

따라서, 제24도의 회로의 여러 부분에서의 신호 파형은 제28도의 어드레스 펄스 신호 통과 제어 신호 발생 회로가 제공되어 이 어드레스 펄스 신호 통과 제어신호 발생 회로로부터 출력된 어드레스 펄스 신호 통과 제어 신호 CONT가 제24도의 어드레스 펄스 신호 통과 제어 회로(200)의 어드레스 펄스 신호 통과 제어 신호입력 단자(201)에 입력되는 경우에 제30도에 도시된 파형과 같게 된다.

제30도에서, (a)는 어드레스 신호 AIN의 전압 파형을, (b)는 칩 인에이블 신호 /CE의 전압 파형을, (c)는 내부 칩 인에이블 신호 CEB의 전압 파형을, (d)는 OR 회로(10)의 출력 전압 파형을, (e)는 OR 회로(11)의 출력 전압 파형을 나타낸 것이다. 또한, (f)는 어드레스 펄스 신호 ADDP의 전압 파형을, (g)는 어드레스 펄스 신호 통과 제어 신호 CONT의 전압 파형을, (h)는 AND 회로(203)의 출력 전압 파형을, (i)는 칩 인에이블 펄스 신호 CEP의 전압 파형을, (j)는 출력 제어 펄스 신호 ALP의 전압 파형을, (k)는 출력 데이터 DOUT의 변화를 나타낸 것이다.

그러므로, 제28도의 어드레스 펄스 신호 통과 제어 신호 발생 회로가 제공되어 이 회로로부터 출력된 어드레스 펄스 신호 통과 제어 신호 DOUT가 제24도의 어드레스 펄스 신호 통과 제어 회로(200)의 어드레스 펄스 신호 통과 제어 신호입력 단자(201)에 입력되는 경우에, 어드레스 신호 AIN(1) OR 회로(16)에 공급됨에 따라 저레벨값을 가질 때 칩 인에이블 신호 CEP의 고레벨에서 저레벨로의 천이에 응답하여 발생된 어드레스 펄스 신호 ADDP를 차단할 수 있다.

따라서, 이 경우에, 칩 인에이블 펄스 신호 CEP가 OR 회로(16)에 입력되기 때문에, 칩 인에이블 펄스 신호 CEP와 동일한 펄스폭을 갖는 출력 제어 펄스 신호 ALP를 발생할 수 있다.

달리 말하면, 어드레스 신호 AIN(1) 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이하는 경우와, 어드레스 신호 AIN(1) 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이하는 경우에 관계없이 하강 구간의 타이밍에서의 시프트를 갖지 않는 출력 제어 펄스 신호 ALP를 얻을 수 있다.

또한, 상기 어드레스 펄스 신호 통과 제어 신호 CONT는 예로서 제31도에 도시된 제3 구성을 갖는 어드레스 펄스 신호 통과 제어 신호 발생 회로에 의해 발생될 수도 있다.

제31도에서, 어드레스 펄스 신호 통과 제어 신호 발생 회로는 내부 칩 인에이블 신호 CEB가 입력되는 내부 칩 인에이블 신호 입력 단자(218), 저레벨로 고정되어 있는 단자(219), 어드레스 펄스 신호 ADDP가 입력되는 어드레스 펄스 신호 입력 단자(220), OR 회로(221~223), 인버터(224~228), AND 회로(229), NOR 회

로 (230), NAND 회로(231, 232) 및 어드레스 펄스 신호 통과 제어 신호 CONT가 출력되는 어드레스 펄스 신호 통과 제어 신호 출력 단자(233)를 구비한다.

이 경우에, 제31도의 어드레스 펄스 신호 통과 제어 신호 발생 회로를 제공함으로써 제29도에 도시된 어드레스 펄스 신호 통과 제어 신호 CONT를 얻을 수 있다. 그 결과, 제24도의 회로의 여러 부분에서의 신호 파형은 제30도에 도시된 파형과 같게 된다.

따라서, 이 경우에, 칩 인에이블 펄스 신호 CEP가 OR 회로(16)에 입력되기 때문에 칩 인에이블 펄스 신호 CEP와 동일한 펄스폭을 갖는 출력 제어 펄스 신호 ALP를 발생할 수 있다.

다시 말해, 어드레스 신호 A10이 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우와, 어드레스 신호 A10이 고레벨일 때 칩 인에이블 신호가 고레벨에서 저레벨로 천이하는 경우에 관계 없이 하강 구간의 타이밍에서 시프트를 갖지 않는 출력 제어 펄스 신호 ALP를 얻을 수 있다.

상기 제1실시예에 따르면, 어드레스 신호 A10이 저레벨일 때 칩 인에이블 액세스 시간 tCE와 어드레스 신호 A10이 고레벨 일 때 칩 인에이블 액세스 시간 tCE를 동일하게 하여 칩 인에이블 액세스 시간 tCE를 안정화시킬 수 있다. 따라서, 고속 판독 동작을 실현할 수 있다.

### [2] 제2 실시예 :

다음으로 본 발명에 따른 반도체 메모리 장치의 제2실시예를 제32도 및 제33도를 참조하여 설명한다.

제32도는 제2실시예의 주요부의 회로도로서, 출력 제어 펄스 신호를 발생하는데 필요한 회로를 나타낸다. 제32도에서, 제5도에 대응되는 부분임 동일 참조 부호로 표시되고 동일 부분에 대한 설명은 생략한다.

제32도의 회로는 제5도의 회로를 개량한 것이다. 제5도의 회로에서, 인버터(35)의 출력 단자는 NOR 회로(43)의 한 입력 단자에 접속되고, 인버터(34)의 출력단자는 NOR 회로(44)의 한 입력 단자에 접속된다. 그러나, 제32도의 회로에서는 NAND 회로(38)의 출력 단자가 NOR 회로(44)의 한 입력 단자에 접속되고, NAND회로(39)의 출력 단자가 NOR 회로(44)의 한 입력 단자에 접속된다. 그 외에는, 제32도의 회로는 제5도의 회로와 기본적으로 동일하다.

상기 제2실시예에서, 내부 칩 인에이블 신호 CE는 인버터(34, 35)의 출력 레벨이 확정되어 이 레벨들이 변화하는 것이 확인된 후에 내부 칩 인에이블 신호 CE가 저레벨에서 고레벨로 천이하도록 칩 인에이블 신호 /CE에 대해 지연되어야 한다.

그 결과, 제32도의 회로의 여러 부분에서의 신호 파형은 제33도에 도시된 파형과 같아 된다. 제33도에서, (a)는 어드레스 신호 /CE의 전압 파형을, (b)는 칩인에이블 신호 /CE의 전압 파형을, (c)는 칩 인에이블 신호 CE의 전압 파형을 나타낸다. 또한, (d)는 어드레스 펄스 신호 ADDP의 전압 파형을, (e)는 칩 인에이블 펄스 신호 CEP의 전압 파형을, (f)는 출력 제어 펄스 신호 ALP의 전압 파형을, (g)는 출력 데미타 DOUT의 변화를 도시하고 있다.

상기 제2실시예에 따르면, 칩 인에이블 신호 CE는 인버터(34, 35)의 출력 레벨이 확인된 후에 칩 인에이블 신호, CE가 저레벨에서 고레벨로 천이되도록 칩 인에이블 신호 /CE에 대해 지연된다. 또한, 어드레스 펄스 신호 ADDP가 NAND 회로(38, 39)의 출력을 처리함으로써 발생된다.

그 결과, 어드레스 신호 A10이 저레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우, 또는 어드레스 신호 A10이 고레벨일 때 칩 인에이블 신호 /CE가 고레벨에서 저레벨로 천이되는 경우에 관계 없이 하강 구간의 타이밍에서 시프트를 갖지 않는 출력 제어 펄스 신호 ALP를 얻을 수 있다.

이와같이 하여, 상기 제2실시예에 따르면, 어드레스 신호 A10이 저레벨일 때 칩 인에이블 액세스 시간 tCE와 어드레스, 신호 A10이 고레벨일 때 칩 인에이블 액세스 시간 tCE를 같게 하여 칩 인에이블 액세스 시간 tCE를 안정화시킬 수 있다.

따라서, 고속 판독 동작을 실현할 수 있다.

### [3] 제3실시예 :

다음에, 본 발명에 따른 반도체 메모리 장치의 제3 실시예를 제34도 내지 제40도를 참조하여 설명한다.

제34도는 제3 실시예의 주요부를 나타내는 시스템 블록도이다.

제34도에 도시된 마스크 ROM의 칩 본체(234)는  $1024 \times 512 \times 4$  비트 구성을 갖는 메모리 셀 어레이(237~240), 어드레스 버퍼(241), 어드레스 기억 회로(242, 243), 로우 디코더(244, 245), 컬럼 디코더(246~249), 센스 증폭기(250~253), 출력 스위칭 회로(254), 출력 배퍼(255) 및 논리 회로(256)를 포함한다.

어드레스 신호 A0~A19중에서, 어드레스 신호 A0은 메모리 셀 어레이 등을 선택하는 제어 신호로서 이용되고, 로우 어드레스 신호 A1~A10은 메모리 셀 어레이의 블록 선택선과 워드선을 선택하는데 이용되며, 컬럼 어드레스 신호 A11~A19는 메모리 셀 어레이의 컬럼을 선택하는데 이용된다.

어드레스 버퍼(241)는 외측으로부터 공급되는 어드레스 신호 A1~A19를 내측에 입력시킨다. 어드레스 기억 회로(242, 243)는 어드레스 버퍼(241)로부터 연속적으로 출력되는 어드레스 신호 A1~A19를 교대로 기억시킨다.

로우 디코더(244)는 어드레스 기억 회로(242)에 기억된 어드레스 신호 A1~A19중에서 로우 어드레스 신호 A1~A10을 디코딩하고, 메모리 셀 어레이(237, 238)의 블록 선택선 및 워드선을 선택한다. 로우 디코더(245)는 어드레스 기억 회로(242)에 기억된 어드레스 신호 A1~A19중에서 로우 어드레스 신호 A1~A10을 디코딩하고, 메모리 셀 어레이(239, 240)의 블록 선택선 및 워드선을 선택한다.

컬럼 디코더(246~249)는 어드레스 기억 회로(242, 243)에 기억된 어드레스 신호 A1~A19중에서 컬럼 어드레스 신호 A11~A19를 디코딩하고, 메모리 셀 어레이(237~240)의 컬럼을 선택하는데 필요한 컬럼 선택

신호를 출력한다.

제34도에서, 컬럼 디코더(237~240)로부터 출력된 컬럼 선택 신호에 기초하여 메모리 셀 어레이(237~240)의 컬럼을 선택하는 컬럼 게이트 회로의 도시는 생략되어 있다.

센스 증폭기(250~253)는 각각의 메모리 셀 어레이(237~240)로부터 판독된 데이터를 증폭하여 검출한다. 출력 스위칭 회로(254)는 센스 증폭기(250, 251)로부터 출력된 센스 증폭기 출력 SOUT1과 센스 증폭기(252, 253)로부터 출력된 센스 증폭기 출력 SOUT2를 선택적으로 출력한다. 출력 버퍼(255)는 출력 스위칭 회로(254)로부터 외측으로 출력된 센스 증폭기 출력 SOUT1 또는 SOUT2를 출력시킨다.

논리 회로(256)는 외측으로부터 공급되는 어드레스 신호 A0, 출력 인에이블 신호 /OE 및 침 인에이블 신호 /AE를 입력시키고, 어드레스 버퍼(241), 어드레스 기억 회로(242, 243), 센스 증폭기(250~253) 및 출력 버퍼(255) 등의 동작을 제어하는 제어 신호를 출력한다.

어드레스 기억 회로(242, 243)는 예를 들어, 제35도에 도시된 구성을 갖는다.

제35도에서, 어드레스 기억 회로(242)는 네가티브 에지형(negative edge type) D 플립플롭(2571~25719)으로 구성되고, 어드레스 기억 회로(243)는 네가티브 에지형 D 플립플롭(2581~25819)으로 구성된다.

상기 D 플립플롭(2571~25719)은 어드레스 신호 A0의 하강 구간과 동기하여 어드레스 신호 A0~A19를 래치한다. 반면에, 상기 D 플립플롭(2581~25819)은 어드레스 신호 A0과 반전 관계를 갖는 어드레스 신호 /A0의 하강 구간과 동기하여 어드레스 신호 A0~A19를 래치한다. 어드레스 A0, /A0는 논리 회로(256)내에 제공된 제36도에 도시된 바와 같은 회로에 의해 발생된다.

제36도에서, 논리 회로(256)내에 제공되는 회로는 외측으로부터 어드레스 신호 A0이 입력되는 어드레스 신호 입력 단자(259), 내부 침 인에이블 신호 CEB가 입력되는 내부 침 인에이블 신호 입력 단자(260), MR 회로(261), 인버터(262), 어드레스 신호 A0이 출력되는 어드레스 신호 출력 단자(263), 어드레스 신호 /A0가 출력되는 어드레스 신호 출력 단자(264)를 포함한다.

센스 증폭기(250~253)는 제7도에 도시된 제3구성예의 센스 증폭기(70~73)와 유사한 구성을 가질 수 있다. 따라서, 1비트당 각각의 센스 증폭기(250~253)의 구성은 제8도에 도시된 구성과 동일할 수 있다.

출력 스위칭 회로(254)는 예를 들어, 1비트당 제37도에 도시된 구성을 갖는다. 제37도에서, 출력 스위칭 회로(254)는 센스 증폭기(250, 251)의 1비트부의 센스증폭기 출력 SOUT1이 입력되는 센스 증폭기 1 출력 입력 단자(265), 센스 증폭기(252, 253)의 1비트부의 센스 증폭기 출력 SOUT2가 입력되는 센스 증폭기 출력 입력 단자(266), 어드레스 신호 A0이 입력되는 어드레스 신호 입력 단자(267), 어드레스 신호 /A0가 입력되는 어드레스 신호 입력 단자(268), nMOS 트랜지스터(269, 270) 및 출력 단자(271)를 구비한다. 1비트부의 센스 증폭기 출력 SOUT1 또는 1비트부의 센스 증폭기 출력 SOUT2는 출력 단자(271)로부터 1비트부의 센스 증폭기 출력 SOUT로서 출력된다.

상기 출력 스위칭 회로(254)에서, 어드레스 신호 A0이 고레벨이고 어드레스 신호 /A0가 저레벨일 때 nMOS 트랜지스터(269)는 ON 상태가 되고 nMOS 트랜지스터(270)는 OFF 상태가 되며, 이 경우에 센스 증폭기 출력 SOUT1은 센스 증폭기 출력 SOUT로서 출력된다.

반면에, 어드레스 신호 A0이 저레벨이고 어드레스 신호 /A0가 고레벨일 때 nMOS 트랜지스터(269)는 OFF 상태가 되고 nMOS 트랜지스터(270)는 ON 상태가 되며, 이 경우에 센스 증폭기 출력 SOUT2는 센스 증폭기 출력 SOUT로서 출력된다.

출력 버퍼(255)는 제7도에 도시된 제3구성예의 출력 버퍼(74)와 유사한 구성을 가질 수 있다. 따라서, 1비트당 출력 버퍼(255)의 구성은 제9도에 도시된 구성과 동일할 수 있다.

상술된 구성을 갖는 상기 제3 실시예에 따르면, 마스크 ROM은 제34도의 회로의 여러 부분에서의 신호 파형이 제38도에 도시된 바와 같이 되도록 동작될 수 있다.

제38도에서, (a)는 어드레스 신호 A0의 전압 파형을, (b)는 어드레스 신호 /A0의 전압 파형을, (c)는 입력되는 로우 어드레스 신호 A1~A10 및 컬럼 어드레스 신호 A11~A19의 전압 파형을 나타낸 것이다. (d)는 어드레스 기억 회로(242)로부터 출력되는 로우 어드레스 신호 A1~A10 및 컬럼 어드레스 신호 A11~A19의 전압 파형을, (e)는 어드레스 기억 회로(243)로부터 출력되는 로우 어드레스 신호 A0~A10 및 컬럼 어드레스 신호 A11~A19의 전압 파형을 나타낸 것이다.

또한, 제38도에서, (f)는 센스 증폭기(250, 251)로부터 출력된 센스 증폭기 출력 SOUT1의 전압 파형을, (g)는 센스 증폭기(252, 253)로부터 출력된 센스 증폭기 출력 SOUT2의 전압 파형을, (h)는 출력 데이터 A0~A7의 전압 파형을 나타낸 것이다.

상기 제3 실시예에 따르면, 어드레스 액세스 시간 TAC가 제3구성예와 동일하게 설정될지라도, 사이클 액세스 시간 TCV를 상기 제3구성예의 사이클 액세스 시간의 1/20이 되게 할 수 있다. 이런 이유로, 단위 시간 당 판독된 데이터양을 증가시켜 고속 판독 동작을 실현할 수 있다.

상기 제3 실시예에서, 어드레스 신호 A0은 어드레스 액세스 시간 TAC를 제한하는 제어 신호로서 이용된다. 그러나, 어드레스 액세스 시간 TAC를 제한하기 위해 외측으로부터 공급된 클록 신호 등을 어드레스 신호 A0 대신에 사용할 수도 있다.

제39도에 도시된 어드레스 카운터 회로가 제공되어 일련의 판독 동작이 수행되면, 상기 어드레스 카운터 회로의 출력은 로우 디코더(244, 245)에 공급된다.

제39도에서, 어드레스 카운터 회로는 어드레스 기억 회로(272), 카운터(273) 및 어드레스 기억 회로(274, 275)를 구비한다. 어드레스 기억 회로(272)는 어드레스 버퍼(241)로부터 출력된 어드레스 신호 A1~A19를 기억한다. 카운터(273)는 어드레스 기억 회로(272)에 기억된 어드레스를 초기값으로부터의 어드레스를 연속 증분함으로써 어드레스 신호 A1~A19를 출력하는 초기값으로 이용한다. 어드레스 기억 회로(274)는 카

운터(273)로부터 출력된 어드레스 신호 A1~A19를 어드레스 신호 A0의 하강 구간과 동기하여 기억 및 출력시킨다. 어드레스 기억 회로(275)는 카운터(273)로부터 출력된 어드레스 신호 A1~A19를 어드레스 신호 /A0의 하강 구간과 동기하여 기억 및 출력시킨다.

상기 어드레스 기억 회로(274, 275)는 제34도에 도시된 어드레스 기억 회로(242, 243)와 별개로 제공될 수 있거나, 어드레스 기억 회로(242, 243)는 상기 어드레스 기억 회로(274, 275)로서 이용될 수 있다.

제39도에 도시된 어드레스 카운터 회로를 이용하여 판독 동작을 수행하는 경우, 마스크 ROM은 제34도의 회로의 여러 부분에서의 신호 파형이 제40도에 도시된 바와 같이 되도록 동작될 수 있다.

제40도에서, (a)는 어드레스 신호 A0의 전압 파형을, (b)는 어드레스 신호 /A0의 전압 파형을, (c)는 카운터로부터 출력되는 로우 어드레스 신호 A1~A10 및 퀄럼 어드레스 신호 A11~A19의 전압 파형을 나타낸 것이다. (d)는 어드레스 기억회로(274)로부터 출력되는 로우 어드레스 신호 A1~A10 및 퀄럼 어드레스 신호 A11~A19의 전압 파형을, (e)는 어드레스 기억 회로(275)로부터 출력되는 로우 어드레스 신호 A0~A10 및 퀄럼 어드레스 신호 A11~A19의 전압 파형을 나타낸 것이다.

또한, 제40도에서 (f)는 센스증폭기(250, 251)로부터 출력된 센스 증폭기 출력 SOUT1의 전압 파형을, (g)는 센스 증폭기(252, 253)로부터 출력된 센스 증폭기 출력 SOUT2의 전압 파형을, (h)는 출력 데이터 A0~A7의 전압 파형을 나타낸 것이다.

이와 같이 하여, 제39도에 도시된 어드레스 카운터 회로가 상기 제3실시예에 제공되는 경우, 개시 어드레스를 제외하고 어드레스 액세스 시간 TAC가 제3구성예와 동일하게 설정될지라도, 사이클 액세스 시간 TCY를 상기 제3구성예의 사이클 액세스 단임의 1/201 되게 할 수 있다. 이러한 이유로, 시간당 판독된 데이터량을 증가시켜 고속 판독 동작을 실현할 수 있다.

#### [4] 제4실시예 :

다음으로, 본 발명에 따른 반도체 메모리 장치의 제4실시예를 제41도 내지 제47도를 참조하여 설명한다.

제41도는 제4 실시예의 주요부를 나타내는 시스템 블록도이다. 상기 실시예에서, 센스 증폭기 출력 래치 회로(276)는 제11도에 도시된 마스크 ROM의 제4구성예의 센스 증폭기 출력 래치 회로(95)와 다른 구성을 갖는다.

또한, 상기 제4실시예에는 래치 해제 신호 발생 회로(277)와 제어 신호 발생회로(278)가 제공된다. 래치 해제 신호 발생 회로(277)는 ATD 신호에 기초하여 센스 증폭기 출력 래치 회로(276)의 래치 동작 단계를 해제시키는 래치 해제 신호 CLKE를 발생시킨다. 제어 신호 발생 회로(278)는 클록 발생 회로(97)로부터 출력된 클록 신호 CLK와 래치 해제 신호 발생 회로(277)로부터 출력된 래치 해제 신호 CLKB에 기초하여 센스 증폭기 출력 래치 회로(276)의 동작을 제어하는 제어 신호를 발생시킨다.

그 외에는, 제4 실시예의 구성은 제11도에 도시된 마스크 ROM의 제4구성예의 구성과 기본적으로 동일하다. 따라서, 제41도에서 제11도와 대응되는 부분은 동일 참조 부호로, 표시되고 동일 부분에 대한 설명은 생략한다.

센스 증폭기 출력 래치 회로(276)는 예를 들어, 제42도에 도시된 회로 구성을 가질 수 있다.

제42도에서, 내부 첨 인에이블 신호 CE는 첨 인에이블 신호 입력 단자(279)에 입력된다. 센스 증폭기(94)로부터의 센스 증폭기 출력 SOUT는 센스 증폭기 출력 입력 단자(280)에 입력된다. 후술되는 바와 같이 발생되는 래치 신호 LATCH는 래치 신호 입력 단자(281)에 입력된다. 래치 신호 LATB와 반전 관계를 갖는 래치 신호 /LATCH는 래치 신호 입력 단자(282)에 입력된다.

센스 증폭기 출력 래치 회로(276)는 인버터(283~286), NAND 회로(287), 전송 게이트(288, 289), pMOS 트랜지스터(290, 291) 및 nMOS 트랜지스터(292, 293)를 구비한다. 출력 데이터 DOUT는 데이터 출력 단자(294)로부터 출력된다.

상기 센스 증폭기 출력 래치 회로(276)에서, nMOS 회로(287)는 내부 첨 인에이블 신호 CE가 고레벨일 때 활성 상태가 되고 전체 회로로 활성 상태가 된다.

이와 반대로, NAND 회로(287)는 첨 인에이블 신호 CE가 저레벨일 때 비활성 상태가 되고 전체 회로로 비활성 상태가 된다.

내부 첨 인에이블 신호 CE가 고레벨이고 NAND 회로(287)가 활성 상태에 있는 경우에, 래치 신호 LATCH가 고레벨이고 래치 신호가 LATCH가 저레벨일 때 전송 게이트(288)는 ON 상태가 되고 전송 게이트(289)는 ON 상태가 된다. 따라서, 이 경우에 센스 증폭기 출력 SOUT의 판독 동작이 수행된다.

반면에, 내부 첨 인에이블 신호 CE가 고레벨이고 NAND 회로(287)가 활성 상태인 경우에, 래치 신호 LATCH가 저레벨이고 래치 신호 LATCH가 고레벨일 때 전송 게이트(288)는 OFF 상태가 되고 전송 게이트(289)는 ON 상태가 된다. 따라서, 이 경우에 센스 증폭기 출력 SOUT의 래치 동작이 수행된다.

래치 해제 신호 발생 회로(277)는 예를 들어, 제43도의 회로 구성을 가질 수 있다. 제43도에서, ATD 신호는 ATD 신호 입력 단자(295)에 입력된다. 래치 해제 신호 발생 회로(277)는 지연 회로(296), NOR 회로(297) 및 인버터(298, 299)를 구비한다. 지연 회로(296)는 제4도에 도시된 클록 신호 발생 회로(97)에 제공된 지연 회로(105)의 지연 시간 보다 긴 지연 시간을 제공한다. 래치 해제 신호 CLKE는 래치 해제 신호 출력 단자(300)로부터 출력된다.

제44도는 제43도에 도시된 래치 해제 신호 발생 회로(277)의 동작을 설명하는 타이밍도이다. 제44도에서, (a)는 ATD 신호의 전압 파형을, (b)는 래치 해제 신호 CLKE의 전압 파형을 나타낸 것이다.

다시 말하면, 상기 래치 해제 신호 발생 회로(277)는 어드레스 신호가 변화되지 않아 충분한 시간동안 대기중에 있는 경우에 래치 해제 신호 CLKE를 출력한다.

또한, 제어 신호 발생 회로(278)는 예를 들어, 제45도의 회로 구성과 가질 수 있다. 제45도에서, 클록 신호 CLK는 클록 신호 입력 단자(301)에 입력되고, 래치 해제 신호 CLKE는 래치 해제 신호 입력 단자(302)에 입력된다. 제어 신호 발생 회로(278)는 NOR 회로(303), 및 인버터(304~306)를 구비한다. 래치 신호 LATCH는 래치 신호 출력 단자(307)로부터 출력되고, 래치 신호 /LATCH는 래치 신호 출력 단자(308)로부터 출력된다.

제46도는 제45도의 제어 신호 발생 회로(278)의 동작을 설명하는 타이밍도이다. 제46도에서, (a)는 클록 신호 CLK의 전압 파형을, (b)는 래치 해제 신호 CLKE의 전압 파형을, (c)는 래치 신호 LATCH의 전압 파형을, (d)는 래치 신호 /LATCH의 전압 파형을 나타낸 것이다.

그러므로, 제41도의 제4실시예의 여러 부분에서의 신호 파형은 제47도에 도시된 바와같이 된다. 제47도에서, (a)는 전원 전압 VCC의 전압 파형을, (b)는 어드레스 신호 ADD의 전압 파형을 나타낸 것이다. 또한, (c)는 ATD 신호의 전압 파형을, (d)는 래치 해제 신호 CLKE의 전압 파형을, (e)는 센스 증폭기 출력 래치 회로(276)의 동작을, (f)는 출력 데이터 DOUT를 도시하고 있다.

상기 제4 실시예에 따르면, 어드레스 신호가 변화되지 않아 충분한 시간동안 대기중에 있는 경우에 래치 해제 신호 CLKE가 출력된다. 이러한 이유로, 전원 VCC가 턴온될 때, ATD 신호는 출력되지 않지만, 래치 해제 신호 CLKE는 출력된다.

그 결과, 제4실시예에서 전원 VCC가 턴온되면, 센스 증폭기 출력 래치 회로(276)는 판독 동작을 개시하고, 전원 VCC가 턴온될 때 외측로부터 공급된 어드레스

신호에 대응하는 데이터를 출력할 수 있다. 결국, 고속 데이터 판독을 실현할 수 있다.

#### [5] 제5 실시예 :

다음에, 본 발명에 따른 반도체 메모리 장치의 제5실시예를 제48도 내지 제81도를 참조하여 설명한다.

제48도는 제5실시예의 주요부를 나타내는 시스템 블록도이다.

제48도에서, 칩 본체(309)는 메인 셀 어레이(3100~31015), 패리티 셀 어레이(311), 어드레스 버퍼(312), 로우 디코더(313), 컬럼 디코더(314), 센스 증폭기(315), 용장 어드레스 기억 회로(316), 스위칭 회로(317), 시험용 용장 어드레스 기억 회로(318), 스위칭 회로(319), 출력 정정 회로(320) 및 출력 버퍼(321)를 구비한다.

메인 셀 어레이(3100~31015)는 정상 데이터를 기억하고, 패리티 셀 어레이는 패리티 데이터를 기억하고 있다. 어드레스 신호는 어드레스 버퍼(312)에 입력되고, 로우 디코더(313)는 블록 선택선 및 워드선을 선택하도록 어드레스 신호의 로우 어드레스 신호를 디코딩한다. 컬럼 디코더(314)는 어드레스 신호의 컬럼 어드레스 신호를 디코딩하여 컬럼 선택용 컬럼 선택 신호를 출력한다. 센스 증폭기(315)는 메인 셀 어레이(3100~31015)로부터 판독된 데이터를 증폭시킨다.

제48도에서는 컬럼 디코더(314)로부터 출력된 컬럼 선택 신호를 기초로 하여 패리티 셀 어레이(311)의 메인 셀 어레이(3100~31015)의 컬럼을 선택하기 위한 컬럼 게이트의 도시를 생략하였다.

또, 00, 01, …, 015는 메인 셀 어레이(3100~31015)로부터 출력된 데이터를 나타내고, P0는 패리티 셀 어레이(311)로부터 판독된 패리티 데이터를 나타낸다.

용장 어드레스 기억 회로(316)는 외측로부터 공급되는 어드레스 신호에 의해 지정된 어드레스가 용장 어드레스 신호와 일치하면 출력 데이터 00~015중에서 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 기억한다. 즉, 용장 어드레스 기억 회로(316)는 출력 데이터 00~015중에서 비트 위치를 나타내고 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 기억한다. 용장 어드레스 기억 회로(316)의 기억 소자는 비휘발성 메모리 셀에 의해 형성된다. 스위칭 회로(317)는 의의 데이터값을 갖고 용장 어드레스 기억 회로(316)로부터 출력된 출력 데이터의 컬럼 어드레스 신호가 통과될 것인지와 여부와 출력 정정 회로(320)에 공급되는 지의 여부를 제어한다.

시험용 용장 어드레스 기억 회로(318)는 시험시에 사용된다. 용장 어드레스 기억 회로(318)의 구성을 SRAM 셀이 용장 어드레스 기억 회로(318)의 기억 소자로서 사용되는 것을 제외하고는 용장 어드레스 기억 회로(316)와 동일하다. 스위칭 회로(319)는 의의 데이터값을 갖고 용장 어드레스 기억 회로(318)로부터 출력된 출력 데이터의 컬럼 어드레스 신호가 통과될 것인지와 여부와 출력 정정 회로(320)에 공급되는 지의 여부를 제어한다.

출력 정정 회로(320)는 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스 신호가 용장 어드레스 기억 회로(316) 또는 시험용 용장 어드레스 기억 회로(318)로부터 전혀 공급되지 않으면 메인 셀 어레이(3100~31015)로부터 출력된 출력 데이터 00~015를 선택 및 출력한다. 반면에, 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스 신호가 용장 어드레스 기억 회로(316) 또는 시험용 용장 어드레스 기억 회로(318)로부터 공급되면, 출력 정정 회로(320)는 메인 셀 어레이(3100~31015)로부터 출력된 출력 데이터 00~015 중에서 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스 신호에 의해 지정된 출력 데이터 대신에 패리티 셀 어레이(311)로부터 출력된 패리티 데이터 P0를 기초로 후술할 소정 동작을 수행함으로써 얻어지는 정상 데이터를 출력한다.

예컨대, 용장 어드레스 기억 회로(316)는 제49도에 도시된 구성을 갖는다. 제49도에서 용장 어드레스 기억 회로(316)는 블록(322~325) 및 AND 회로(326)를 포함한다. 각 블록(322~325)은 하나의 용장 어드레스와, 이 어드레스에 대응하고 의의 데이터값을 갖는 출력 데이터의 어드레스를 기억한다.

제49도에서 A17~A20은 외측로부터 공급되는 어드레스 신호의 상위 4 비트의 어드레스 신호를 나타내고, HIT0~HIT3는 어드레스 신호(A17~A20)가 용장 어드레스와 일치(히트)할 때 각 블록(322~325)로부터 출력되는 비교 일치 검출 신호를 나타낸다. AND회로(326)는 비교 일치 검출 신호 HIT0~HIT3중의 하나가 블록(322~325)으로부터 출력되면 소정의 내부 회로에 대하여 비교 일치 검출 신호 HIT를 출력한다. 제49

도에서 SDB0~SDB3은 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스 신호를 나타낸다.

블록(322~325)은 동일한 회로 구성을 가지며, 예컨대, 블록(322)은 제50도에 도시된 회로 구성을 가질 수 있다. 제50도에 도시된 블록(322)은 상태 설정 회로(327), 비교 일치 검출 회로(330), 컬럼 어드레스 기억 회로(342)를 포함한다.

상태 설정 회로(327)는 블록(322)이 사용 상태 또는 미사용 상태에 있는지의 여부를 설정한다. 상태 설정 회로(327)는 1-비트 기억 회로(328)와 인버터(329)를 포함한다. 1-비트 기억 회로(328)가 저레벨을 기억하고 인버터(329)의 출력이 고레벨을 가지면, 블록(322)은 미사용 상태로 놓여진다. 반면에, 1-비트 기억 회로(328)가 고레벨을 기억하고 인버터(329)의 출력이 토우 레벨을 가지면, 블록(322)은 사용상태로 놓여진다.

비교 일치 검출 회로(330)는 용장 어드레스의 상위 4비트 부분 RA17~RA20을 기억하고, 외측로부터 공급되는 어드레스의 상위 4비트 어드레스 A17~A20과 기억된 용장 어드레스 RA17~RA20을 비교하여 비교된 4비트가 일치하는지의 여부를 검출한다. 비교 일치 검출 회로(330)는 1-비트 기억 회로(331~334), 배터 논리합 회로(335~338), NOR 회로(339), NAND 회로(340) 및 인버터(341)를 포함한다.

1-비트 기억 회로(331~334)는 각각 용장 어드레스 RA17~RA20의 1비트를 기억한다. 배터 논리합 회로(335~338)는 비교기 회로를 형성한다. NOR 회로(339)는 외측으로부터 공급된 어드레스 A17~A20과 용장 어드레스 RA17~RA20이 일치하는지의 여부를 검출한다. NAND 회로(340)는 NOR 회로(339)의 출력을 기초로 비교 일치 검출 신호 HIT0를 출력한다. 인버터(341)는 NAND 회로(340)가 활성화 되게 할 것인지 비활성화 되게 할 것인지를 제어한다.

1-비트 기억 회로(328)가 저레벨을 기억하고 인버터(329)의 출력 레벨이 고레벨이면, 즉 이 블록(322)이 미사용 상태에 놓여지면, 인버터(341)의 출력 레벨이 저레벨로 되고 NAND 회로(340)는 비활성화되며, NAND 회로(340)의 출력은 고레벨로 고정된다.

반면에, 1-비트 기억 회로(328)가 고레벨을 기억하고 인버터(329)의 출력 레벨이 저레벨이면, 즉 이 블록(322)이 사용 상태에 있으면 인버터(341)의 출력 레벨은 고레벨로 되고 NOR 회로(340)는 활성화되며, NOR 회로(340)의 출력은 NOR 회로(339)의 출력의 반전값이 된다.

예컨대, 배터 논리합 회로(335)는 외측으로부터 공급된 어드레스 A17과 1-비트 기억 회로(331)에 기억된 용장 어드레스 RA17이 일치하면 저레벨을 출력한다.

다른 배터 논리합 회로(336~338)는 배터 논리합 회로(335)와 유사하게 동작한다.

결국, NOR 회로(339)는 외측으로부터 공급된 어드레스 A17~A20과 1-비트 기억 회로(335~338)에 기억된 용장 어드레스 RA17~RA20이 일치할 때만 고레벨을 출력하고, 기타의 경우에는 저레벨을 출력한다.

NOR 회로(339)의 출력 레벨이 고레벨이면 NAND 회로(340)의 출력 레벨, 검출 신호 HIT0의 레벨은 저레벨로 되며 비교 일치 검출이 표시된다. 즉, 비교 일치 회로(339)의 출력 레벨이 저레벨이면, NAND 회로(340)의 출력 레벨, 반면에, NOR 검출 신호 HIT0의 레벨은 고레벨로 되며 비교 불일치가 표시된다. 즉, 비교 일치 컬럼 어드레스 기억 회로(342)는 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 기억한다. 이 컬럼 어드레스 기억 회로(342)는 1-비트 기억 회로(343~346)와 3 상태 버퍼(347~350)를 포함한다. 1-비트 기억 회로(343~346)는 각각 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스의 1비트를 기억한다. 3 상태 버퍼(347~350)는 비교 일치가 검출되고 비교 일치 검출 신호 HIT0이 토우 레벨이면 ON으로 되어 의의 데이터값을 갖는 출력 데이터의 출력 어드레스 신호 SDB0~SDB3를 출력한다. 반면에, 비교 일치가 검출되지 않고 비교 일치 검출 신호 HIT0이 고레벨로 되면 3 상태 버퍼(347~350)는 OFF된다. 3 상태 버퍼(347~350)가 OFF되면 의의 데이터값을 갖는 출력 데이터의 어드레스 신호 SDB0~SDB3은 이를 3 상태 버퍼(347~350)로부터 출력되지 않으며 3 상태 버퍼(347~350)의 출력은 고임피던스 상태를 가정한다.

1-비트 기억 회로(328, 331~334, 343~346)는 예컨대, 제51도에 도시된 구성을 가질 수 있다. 제51도에서 1-비트 기억 회로는 pMOS 트랜지스터(351~353), nMOS 트랜지스터(354), 퓨즈(355, 356), 인버터(357, 358), pMOS 트랜지스터(359, 360), nMOS 트랜지스터(361, 362)를 포함한다.

제51도에 도시된 1-비트 기억 회로가 1-비트 기억 회로(328)로서 사용되면, 내부 칩 인에이블 신호 CEB는 pMOS 트랜지스터(351)의 게이트에 공급된다. 제51도에 도시된 1-비트 기억 회로가 1-비트 기억 회로(331~334, 343~346) 중의 하나로서 사용되면, 인버터(329)의 출력은 pMOS 트랜지스터(351)의 게이트에 공급된다.

블록(322)이 미사용 상태에 있으면, 인버터(329)의 출력 레벨은 상술한 바와 같이 고레벨로 되며, 따라서 pMOS 트랜지스터(351)의 게이트 전압은 고레벨로 된다. 이 경우에 pMOS 트랜지스터(351)는 OFF로 되며 nMOS 트랜지스터(354)는 ON으로 되고 그 출력은 저레벨로 고정된다.

반면에, 블록(322)이 사용 상태에 있으면, 인버터(329)의 출력 레벨은 상술한 바와 같이 저레벨이며, 따라서 pMOS 트랜지스터(351)의 게이트 전압은 저레벨로 된다. 이 경우에, pMOS 트랜지스터(351)는 ON으로 되며, nMOS 트랜지스터(354)는 OFF되고 노드(364)의 논리가 출력된다. 그러므로, 퓨즈(355 또는 356)가 끊어진다.

저레벨을 기억하는 경우 제52도에 도시되어 있는 바와 같이 퓨즈(355)는 끊어지고 퓨즈(356)는 끊어지지 않는다. 이 경우에, pMOS 트랜지스터(352)가 ON으로 되고 pMOS 트랜지스터(353)가 OFF로 되기 때문에 노드(363)는 고레벨을 가지며, 노드(364)는 고레벨을 가지며 출력은 저레벨을 갖는다.

그러나, 고레벨을 기억하는 경우, 제53도에 도시된 바와 같이 퓨즈(355)는 끊어지지 않으나 퓨즈(356)는 끊어진다. 이 경우에, pMOS 트랜지스터(352)가 OFF로 되고 pMOS 트랜지스터(353)가 ON으로 되기 때문에, 노드(363)는 저레벨을 가지고 노드(364)는 저레벨을 가지며, 그 출력은 고레벨을 갖는다.

퓨즈(355, 356)는 제54도 및 제55도에 도시된 구성을 가질 수 있다. 제54도는 퓨즈(355, 356)의 평면도이며, 제55도는 제54도의 선 A-A를 따라 취한 단면도이다.

제54도 및 제55도에서 P형 실리콘 기판(365), N형 웨(366), 필드 산화물(SiO<sub>2</sub>)층(377)이 구비되어 있다. N형 웨(366)은 퓨즈(355 또는 356)가 레이저에 의해 절단될 때 퓨즈(355 또는 356)와 P형 실리콘 기판(365)이 단락되는 것을 방지한다.

용장 어드레스 기억 회로(316)는 제56도에 도시된 1-비트 기억 회로를 사용하여 형성될 수 있다.

제56도에 도시된 1-비트 기억 회로는 고전압 VPP 또는 전원 전압 VCC를 공급하기 위한 전압선(368, 369), 제어 신호 SA가 입력되는 제어 신호 입력 단자(370), 제어 신호 SB가 입력되는 제어 신호 입력 단자(371), NAND 회로(372), 인버터(373~374), nMOS 트랜지스터(375~378), 기억 소자를 형성하는 EEPROM 셀 트랜지스터(379, 380)를 포함한다.

제57도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작을 설명하기 위한 회로도이다. 제58도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작을 설명하기 위한 타이밍도이다. 제58도에서, (a)는 제어 신호 SA를, (b)는 제어 신호 SB를, (c)는 NAND 회로(372)의 출력을, (d)는 인버터(373)의 출력을, (e)는 인버터(374)의 출력을, (f)는 EEPROM 셀 트랜지스터(379)의 드레인 및 제어 게이트에서의 전압을, (g)는 EEPROM 셀 트랜지스터(379)의 소스에서의 전압을, (h)는 EEPROM 셀 트랜지스터(380)의 드레인 및 제어 게이트에서의 전압을, (i)는 전원선(368, 369)에서의 전압을 각각 도시한다.

저레벨을 기입하면 EEPROM 셀 트랜지스터(379)에 대한 기입이 행해진다.

이 경우에 제57도 및 제58도에 도시된 바와 같이 전압선(368, 369)은 고전압 VPP로 되고, 제어 신호 SA는 전원 전압 VCC로 되며 제어 신호 SB는 0V로 각각 설정된다.

결국, NAND 회로(372)의 출력 전압은 VCC로 되고 nMOS 트랜지스터(375)는 ON으로 되며, EEPROM 셀 트랜지스터(379)의 드레인 및 제어 게이트는 VPP로 된다. 또, 인버터(373)의 출력은 0V로 되고, nMOS 트랜지스터(377)는 OFF로 된다.

또한, 제어 신호 SA가 VCC이기 때문에 인버터(374)의 출력은 0V로 되고, nMOS 트랜지스터(376)는 OFF로 되며 nMOS 트랜지스터(378)는 ON으로 된다.

따라서, 이 경우에 EEPROM 셀 트랜지스터(379)의 소스, 드레인 및 제어 게이트는 각각 0V, VPP, VPP로 설정되고, EEPROM 셀 트랜지스터(380)의 드레인, 제어 게이트 및 소스는 각각 해제, 해제 및 0V로 설정된다. 그러므로, EEPROM 셀 트랜지스터(379)에 대한 기입이 행해진다.

반면에, 제59도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작을 설명하기 위한 회로도이다. 제60도는 제56도에 도시된 1-비트 기억 회로에 대한 기입 동작을 설명하기 위한 타이밍도이다. 제60도에서, (a)는 제어 신호 SA를, (b)는 제어 신호 SB를, (c)는 NAND 회로(372)의 출력을, (d)는 인버터(373)의 출력을, (e)는 인버터(374)의 출력을, (f)는 EEPROM 셀 트랜지스터(379)의 드레인 및 제어 게이트에서의 전압을, (g)는 EEPROM 셀 트랜지스터(379)의 소스에서의 전압을, (h)는 EEPROM 셀 트랜지스터(380)의 드레인 및 제어 게이트에서의 전압을, (i)는 전원선(368, 369)에서의 전압을 각각 도시한다.

고레벨을 기입하면 EEPROM 셀 트랜지스터(380)에 대한 기입이 행해진다.

이 경우에, 제59도 및 제60도에 도시된 바와 같이 전압선(368, 369)은 VPP로, 제어 신호 SA는 VCC로, 제어 신호 SB는 VCC로 각각 설정된다.

결국, NAND 회로(372)의 출력은 0V로 되고, nMOS 트랜지스터(375)는 OFF로 되며, EEPROM 셀 트랜지스터(379)의 드레인 및 제어 게이트는 해제된다. 또, 인버터(373)의 출력은 VCC로 되고 nMOS 트랜지스터(377)는 ON된다. 또한, 제어 신호 SA가 VCC이기 때문에 인버터(374)의 출력은 0V로 되고 nMOS 트랜지스터(376)는 OFF되며 nMOS 트랜지스터(378)는 해제된다.

따라서, 이 경우에 EEPROM 셀 트랜지스터(379)의 드레인, 제어 게이트 및 소스는 각각 해제, 해제 및 0V로 설정되고, EEPROM 셀 트랜지스터(380)의 드레인 및 제어 게이트 및 소스는 각각 0V, VPP 및 0V로 설정된다. 그러므로, EEPROM 셀 트랜지스터(380)에 대한 기입이 행해진다.

판독을 하면 제61도에 도시된 바와 같이 전압선(368, 369)은 VCC로, 제어 신호 SA는 0V로, 제어 신호 SB는 0V로 각각 설정된다.

결국 NAND 회로(372)의 출력은 VCC가 되고, nMOS 트랜지스터(375)는 ON되며, EEPROM 셀 트랜지스터(379)의 드레인 및 제어 게이트는 VCC-vth로 설정되는데, 여기에서  $V_{th}$ 는 nMOS 트랜지스터의 임계 전압을 나타낸다. 또, 인버터(373)의 출력은 0V로 설정되며, nMOS 트랜지스터(377)는 OFF된다. 또한, 제어 신호 SA는 0V이기 때문에 인버터(374)의 출력은 VCC로 되고, nMOS 트랜지스터(376)는 ON되고 nMOS 트랜지스터(378)는 OFF된다.

따라서, EEPROM 셀 트랜지스터(379)에 대한 기입이 행해지면, 제61도에 도시된 1-비트 기억 회로는 제62도에 도시된 등가 회로로 설명될 수 있으며, 그 출력 레벨은 저레벨로 된다.

반면에, EEPROM 셀 트랜지스터(380)에 대한 기입이 행해지면, 제61도에 도시된 1-비트 기억 회로는 제63도에 도시된 등가 회로에 의해 설명될 수 있으며, 그 출력 레벨은 고레벨로 된다.

또한, 용장 어드레스 기억 회로(316)로서 제64도에 도시된 1-비트 기억 회로를 이용할 수도 있다. 제64도에서, 1-비트 기억 회로는 전원 전압 VCC를 공급하기 위한 전원선(381), pMOS 트랜지스터(382, 383), nMOS 트랜지스터(384, 385), EEPROM 셀 트랜지스터(386, 387) 및 인버터(388)를 포함한다.

저레벨을 제64도에 도시된 1-비트 기억 회로에 기입하면, EEPROM 셀 트랜지스터(387)에 대한 기입이 행해진다. 또, 고레벨을 1-비트 기억 회로에 기입하면, EEPROM 셀 트랜지스터(388)에 대한 기입이 행해진다.

제65도는 기입 회로와 함께 제64도에 도시된 1-비트 기억 회로를 도시한 회로도이다. 즉, 제65도는 1-비트 기억 회로(389)와 기입 회로(390)를 도시한다.

기입 회로(390)에서, 전압 VPPD는 VPPD 입력 단자(391)에 입력되고, 전압 AWE는 AWE 입력 단자(392)에 입력되며, 전압 SIG4는 SIG4 입력 단자(393)에 입력되고, 제어 전압 JCGATE는 JCGATE 입력 단자(394)에 입력된다. 기입 회로(390)는 PMOS 트랜지스터(395~405) 및 nMOS 트랜지스터(407~421)를 포함한다.

제66도는 제65도에 도시된 기입 회로(390)를 제어하는 기입 제어 회로를 도시한 회로도이다. 제66도에서, 예컨대, 12V의 전압 VPP가 VPP 입력 단자(422)에 입력되고, 제어 신호 SIG1이 SIG1 입력 단자(423)에 입력되며, 제어 신호 CGSIG가 CGSIG 입력 단자(424)에 입력된다. 기입 제어 회로는 PMOS 트랜지스터(425~428), nMOS 트랜지스터(429~434)를 포함한다. 전압 VPPD는 VPPD 출력 단자(435)로부터 출력되고, 제어 전압 JCGATE는 JCGATE 출력 단자(436)로부터 출력된다.

제66도에 도시한 기입 제어 회로에 있어서, 제67도에 도시된 바와 같이 기입 동작 수행 시 고전압 VPP는 12V로, 제어 신호 SIG1은 VCC로, 제어 신호 CGSIG는 V0로 각각 설정된다. 그 결과, PMOS 트랜지스터(425, 427)는 OFF 상태, PMOS 트랜지스터(426, 428)는 ON 상태, nMOS 트랜지스터(429, 431, 433)는 ON 상태, nMOS 트랜지스터(430, 434)는 ON 상태로 되어, 제어 전압 VPPD 및 제어 전압 JCGATE는 약 10V로 된다.

반면에, 제68도에 도시한 바와 같이 판독 동작 수행 시 VPP 입력 단자(422)는 해제되고 제어 신호 SIG1은 V0로 되며, 제어 신호 CGSIG는 V0로 된다. 그 결과, PMOS 트랜지스터(425)는 OFF 상태, PMOS 트랜지스터(426, 427, 428)는 ON 상태, nMOS 트랜지스터(429, 431, 433)는 ON 상태, nMOS 트랜지스터(430, 434)는 OFF 상태로 되어, 제어 전압 VPPD 및 제어 전압 JCGATE는 대략 VCC로 된다.

제69도에 도시한 바와 같이 기입 회로(390)에 있어서, 기입 동작 수행 시 1-비트 기억 회로(389)에 고레벨을 기입할 경우, 즉, EPROM 셀 트랜지스터(386)에 대해 기입 동작이 행해질 경우, 제어 전압 VPPD는 약 10V, 제어 전압 VCGATE는 약 10V, 제어 신호 AWE는 V0, 제어 신호 SIG4는 VCC로 된다. 그 결과, PMOS 트랜지스터(395, 398, 400, 403, 405)는 OFF 상태, PMOS 트랜지스터(396, 397, 401, 402, 404)는 ON 상태가 된다. 반면에, nMOS 트랜지스터(407, 410, 412, 415, 417, 418, 421)는 ON 상태, nMOS 트랜지스터(408, 409, 411, 413, 414, 419, 420)는 OFF 상태가 된다.

그 결과, EPROM 셀 트랜지스터(386)의 드레인 및 제어 게이트는 각각 8V 및 약 10V로, EPROM 셀 트랜지스터(387)의 드레인 및 제어 게이트는 각각 V0 및 약 10V로 되어 EPROM 셀 트랜지스터(386)에 대하여 기입 동작이 행해질 수 있다.

한편, 제70도에 도시한 바와 같이, 기입 회로(390)에 있어서, 1-비트 기억 회로(389)에 저레벨을 기입할 경우, 즉, EPROM 셀 트랜지스터(387)에 대해 기입 동작이 행해질 경우, 제어 전압 VPPD는 약 10V, 제어 전압 JCGATE는 약 10V, 제어 신호 SIG4는 V0로 된다. 그 결과, PMOS 트랜지스터(395, 396, 398, 400, 402, 403, 405)는 ON 상태, PMOS 트랜지스터(397, 399, 401, 404)는 OFF 상태가 되고, nMOS 트랜지스터(407, 408, 410, 412, 414, 415, 417, 418, 421)는 OFF 상태, nMOS 트랜지스터(409, 411, 413, 419, 420)는 ON 상태로 된다.

그 결과, EPROM 셀 트랜지스터(386)의 드레인 및 제어 게이트는 각각 0V 및 약 10V로 되고 EPROM 셀 트랜지스터(387)의 드레인 및 제어 게이트는 각각 8V 및 10V로 되며, 그것에 의해 EPROM 셀 트랜지스터(387)에 대하여 기입 동작이 행해질 수 있다.

반면에, 제71도에 도시한 바와 같이, 기입 회로(390)에 있어서, 판독 동작이 행해질 경우, 제어 전압 VPPD는 약 VCC, 제어 전압 JCGATE는 약 VCC, 제어 전압 AWE는 약 VCC, 제어 신호 SIG4는 해제 상태로 된다. 그 결과, PMOS 트랜지스터(395, 398, 402, 404)는 OFF 상태, PMOS 트랜지스터(397, 399, 403, 405)는 ON 상태, nMOS 트랜지스터(408, 410, 412, 414, 416)는 ON 상태, nMOS 트랜지스터(409, 411, 413, 415, 417~421)는 OFF 상태로 된다.

따라서, 제72도에 도시한 바와 같이, 1-비트 기억 회로(389)에 고레벨을 기입할 경우, 즉, EPROM 셀 트랜지스터(386)에 대하여 기입 동작이 수행될 경우, 노드(437)는 고레벨, 노드(438)는 저레벨로 되어 출력은 고레벨로 된다.

한편, 제73도에 도시한 바와 같이, 1-비트 기억 회로(389)에 저레벨을 기입할 경우, 즉, EPROM 셀 트랜지스터(387)에 대하여 기입 동작이 수행될 경우, 노드(437)는 저레벨, 노드(438)는 고레벨로 되어 출력은 저레벨로 된다.

예컨대, 제48도에 도시한 출력 정정 회로(320)는 제74도에 도시한 구성을 가질 수도 있다. 제74도에 도시한 출력 정정 회로(320)는 디코더(439), 출력 데이터/패리티 데이터 스위칭 회로(440), 배터 논리합 회로(441), 출력 스위칭 회로(442)를 포함한다.

디코더(439)는 의의 데이터값을 갖고 융장 어ドレス 기억 회로(316)로부터 출력된 출력 데이터의 커럼 어ドレス 신호 SDB0~SDB3를 디코딩한다. 출력 데이터/패리티 데이터 스위칭 회로(440)는 메인 셀 어레이(3100~31015)로부터 출력된 출력 데이터 00~015중에서 디코딩된 신호가 디코더(439)로부터 공급되는 경우, 의의 데이터값을 갖고 디코더(439)로부터 공급되는 디코딩된 신호에 의해 지정된 커럼 어ドレス를 갖는 출력 데이터를 패리티 셀 어레이(311)로부터 출력된 패리티 데이터 P0로 스위칭한다.

배터 논리합 회로(441)은 출력 데이터/패리티 데이터 스위칭 회로(410)로부터 출력된 데이터로부터 정정 데이터를 발생시킨다. 출력 데이터/패리티 데이터 스위칭 회로(440)로부터 출력된 데이터에서, 의의 데이터값을 갖는 출력 데이터는 패리티 데이터 P0로 스위칭된다.

디코딩된 신호가 디코더(439)로부터 공급되는 경우, 출력 스위칭 회로(442)는 메인 셀 어레이(3100~31015)로부터 출력된 데이터 00~015중 의의 데이터값을 갖고 디코더(439)로부터 공급된 디코딩된 신호에 의해 지정된 출력 데이터에 대해서는 배터 논리합 회로(441)로부터 출력된 데이터를 선택하여 출력하고, 다른 데이터에 대해서는 메인 셀 어레이(3100~31015)로부터 출력된 데이터를 선택하

며 출력한다.

예컨대, 디코더(439)는 제75도에 도시한 구성을 가질 수도 있다. 제75도에서, 구성 소자가 모두 도시되지 않았으나 도시된 디코더(439)의 구성 소자들은 NOR회로(4430~4460, 4431~4461), NAND 회로(4470, 4473, 44715) 및 인버터(4480, 4483, 44815)로 이루어져 있다. SDD0~SDD15는 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스의 디코딩된 신호를 표시한다.

예컨대, 외측으로부터 공급된 어드레스 A17~A20 및 용장 어드레스가 일치하고 D0이 의의 데이터값을 갖는 출력 데이터일 경우, 고레벨 신호 SDD0, 고레벨 신호 SDD1, 저레벨 신호 SDD2 및 저레벨 신호 SDD3은 컬럼 어드레스 신호로서 용장 어드레스 기억 회로(316)로부터 공급된다. 또한, 이 상태에서 신호 HIT는 저레벨을 갖는다.

그 결과, 컬럼 어드레스 디코딩 신호 SDD3은 고레벨이 되고, 컬럼 어드레스 디코딩 신호 SDD0~SDD2, SDD4~SDD15는 저레벨이 된다.

반면에, 예컨대, 출력 데이터/패리티 데이터 스위칭 회로(440)는 제76도에 도시한 구성을 취할 수도 있다. 제76도에서 모든 구성 소자가 도시되지는 않았으나 도시된 출력 데이터/패리티 데이터 스위칭 회로(440)는 스위칭 회로(4490, 4493, 44915)를 포함한다. 스위칭 회로(4490)는 인버터(4500) 및 NOR 회로(4510, 4520, 4530)를 포함한다. 스위칭 회로(4493)는 인버터(4503), NOR 회로(4513, 4523, 4533)를 포함한다. 또한, 스위칭 회로(44915)는 인버터(45015) 및 NOR 회로(45115, 45215, 45315)를 포함한다.

스위칭 회로(4490, 4493, 44915)의 스위칭 동작은 디코더(439)로부터 출력된 컬럼 어드레스 디코딩 신호 SDD0, SDD3, SDD15에 의해 각각 제어된다.

D30I 상술한 바와 같은 의의 데이터값을 갖는 출력 데이터인 경우, 신호 SDD3은 고레벨, 신호 SDD0~SDD2, SDD4~SDD15는 저레벨이 된다. 그러므로, 출력 데이터/패리티 데이터 스위칭 회로(440)에서, 단지 스위칭 회로(4493)만이 패리티 데이터 PD를 선택하여 통과시키고, 스위칭 회로(4490, 44915) 등과 같은 다른 스위칭 회로는 출력 데이터 D0~D2, D4~D15를 선택하여 통과시킨다.

따라서, 이 경우에, 출력 데이터 D3은 패리티 데이터 PD로 스위칭되고, 데이터 D0~D2, 패리티 데이터 PD 및 데이터 D4~D15는 배타 논리합 회로군(441)으로 전송된다.

배타 논리합 회로군(441)은 예컨대, 제77도에 도시한 구성을 가질 수도 있다.

제77도에서, 배타 논리합 회로군(441)은 배타 논리합 회로(454~468)를 포함한다.

CD는 배타 논리합 회로(468)의 출력, 즉, 배타 논리합 회로군(441)의 출력을 표시한다.

출력 스위칭 회로(442)는 예컨대, 제78도에 도시한 구성을 가질 수도 있다.

제78도에서, 모든 구성 소자가 도시되지는 않았으나, 도시된 출력 스위칭 회로(442)의 구성 소자는 스위칭 회로(4690, 4693, 46915)를 포함한다. 스위칭 회로(4690)는 인버터(4700) 및 NOR 회로(4710, 4720, 4730)를 포함한다. 스위칭 회로(4693)는 인버터(4703) 및 NOR 회로(4713, 4723, 4733)를 포함한다. 또한, 스위칭 회로(46915)는 인버터(47015) 및 NOR 회로(47115, 47215, 47315)를 포함한다. 스위칭 회로(4690, 4693, 46915)의 스위칭 동작은 디코더(439)로부터 출력된 디코딩 신호 SDD0, SDD3, SDD15에 의해 각각 제어된다.

D30I 의의 데이터값을 갖는 출력 데이터인 경우, 신호 SDD3은 고레벨, 신호 SDD0~SDD2, SDD4~SDD15는 저레벨로 된다. 이러한 이유로 인해, 출력 스위칭 회로(440)에서, 스위칭 회로(4690)만이 배타 논리합 회로군(441)로부터 출력된 정정 데이터 CD를 선택하여 통과시키고, 스위칭 회로(4690, 46915) 등과 같은 다른 스위칭 회로는 출력 데이터 D0~D2, D4~D15를 선택하여 통과시킨다.

따라서, 이 경우에, 출력 데이터 D3은 정정 데이터 CD로 스위칭되고, 출력 데이터 D0~D2, 정정 데이터 CD 및 출력 데이터 D4~D15는 출력 버퍼(321)로 전송된다.

제48도에 도시한 시험용 용장 어드레스 기억 회로(318)는 용장 어드레스를 기억하기 위한 기억 소자로서 SRAM 셀을 사용한다. 예컨대, 용장 어드레스 기억회로(318)는 제79도에 도시한 구성을 가질 수 있다. 제79도에서, 용장 어드레스 기억 회로(318)는 블록(474~477) 및 AND 회로(478)를 포함한다.

블록(474~477)은 1 용장 어드레스와 이 1 용장 어드레스에 대응하고 의의 데이터값을 갖는 출력 데이터의 어드레스를 각각 기억한다. 블록(474~477)은 이 블록에 기억된 용장 어드레스를 외측으로부터 공급된 대응하는 어드레스 A17~A20과 일치하는 경우 비교 일치 검출 신호 MH1T0~MH1T3를 출력시킨다. AND 회로(478)는 비교 일치 검출 신호 MH1T0~MH1T3중 하나가 블록(474~477)으로부터 출력되는 경우 비교 일치 검출 신호 MH1T를 출력시킨다. 제79도에서 DSDB0~DSDB3은 정정될 출력 데이터의 어드레스를 표시한다.

블록(474~477)은 동일한 회로 구성, 예컨대, 블록(474)은 제80도에 도시한 회로 구성을 갖는다. 제80도에서, 블록(474)은 상태 설정 회로(479), 비교 일치 검출신호(482) 및 컬럼 어드레스 기억 회로(494)를 포함한다.

상태 설정 회로(479)는 블록(474)이 사용 상태인지 미사용 상태인지를 설정한다. 상태 설정 회로(479)는 1-비트 기억 회로(480) 및 인버터(481)를 포함한다.

1-비트 기억 회로(480)가 저레벨을 기억하고 인버터(481)의 출력이 고레벨인 경우, 블록(474)은 미사용 상태로 된다. 반면에, 1-비트 기억 회로(480)가 고레벨을 기억하고 인버터(481)의 출력이 저레벨인 경우, 블록(474)은 사용 상태로 된다.

비교 일치 검출 신호(482)는 비교된 4 비트의 일치 여부를 검출하도록 용장 어드레스의 상위 4 비트부 RA17~RA20를 기억하고, 기억된 용장 어드레스 RA17~RA20과 외측으로부터 공급되는 어드레스의 상위 4 비트 어드레스 A17~A20을 비교한다. 비교 일치 검출 신호(482)는 1-비트 기억 회로(483~486), 배타 논

리합 회로(487~490), NOR 회로(491), NAND 회로(492) 및 인버터(493)를 포함한다.

1-비트 기억 회로(483~486)는 용장 어드레스 RA17~RA20의 1 비트를 각각 기억한다. 배타 논리합 회로(487~486)는 비교기 회로를 형성한다. NOR 회로(491)는 용장 어드레스 RA17~RA20과 외측으로부터 공급된 어드레스 A17~A29의 일치 여부를 검출한다. NAND 회로(492)는 NOR 회로(491)의 출력에 기초하여 비교 일치 검출 신호 DA1T0을 출력시킨다. 인버터(493)는 NAND 회로(492)가 활성 상태인지 비활성 상태인지의 여부를 제어한다.

1-비트 기억 회로(480)가 저레벨을 기억하고 인버터(481)의 출력이 고레벨인 경우, 즉, 미 블록(474)이 미사용 상태인 경우, 인버터(493)의 출력은 저레벨로 되고 NAND 회로(492)는 비활성 상태가 되며 NAND 회로(492)의 출력은 고레벨로 고정된다.

반면에, 1-비트 기억 회로(480)가 고레벨을 기억하고 인버터(481)의 출력이 저레벨인 경우, 즉, 미 블록(474)이 사용 상태로 되는 경우, 인버터(493)의 출력은 고레벨로 되고 NAND 회로(492)는 활성 상태로 되며, NAND 회로(492)의 출력은 NOR 회로(491) 출력의 반전값으로 된다.

예컨대, 배타 논리합 회로(487)는 1-비트 기억 회로(483)에 기억된 용장 어드레스 RA1701 외측으로부터 공급된 어드레스 A17과 일치하는 경우 저레벨을 출력시킨다. 다른 배타 논리합 회로(488~490)는 배타 논리합 회로(487)와 마찬가지로 동작한다. 그 결과, NOR 회로(491)는 단지 1-비트 기억 회로(~486)에 기억된 용장 어드레스 RA17~RA2001 외측으로부터 공급된 어드레스 A17~A20과 일치하는 경우에만 고레벨을 출력시키고, 그 이외의 경우에는 저레벨을 출력시킨다.

NOR 회로(491)의 출력이 고레벨인 경우, NAND 회로(492)의 출력 레벨, 즉, 비교 일치 검출 신호 DA1T0의 레벨은 저레벨로 되고 비교 일치 검출이 표시되는 반면에, NOR 회로(491)의 출력이 저레벨인 경우에는, NAND 회로(492)의 출력 레벨, 즉, 비교 일치 검출 신호 DA1T0의 레벨은 고레벨로 되고 비교 불일치가 표시된다.

컬럼 어드레스 기억 회로(494)는 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 기억한다. 이 컬럼 어드레스 기억 회로(494)는 1-비트 기억 회로(495~498) 및 3 상태 버퍼(499~502)를 포함한다. 1-비트 기억 회로(495~498)는 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스의 1 비트를 각각 기억한다. 3 상태 버퍼(499~502)가 ON 상태이고 비교 일치가 검출되는 경우 의의 데이터값을 갖는 출력 데이터의 출력 어드레스 신호 SDB0~SDB3 및 비교 일치 검출 신호 DA1T0은 저레벨로 된다. 반면에, 어떠한 비교 일치도 검출되지 않고 비교 일치 검출 신호 DA1T0이 고레벨인 경우, 3 상태 버퍼(499~502)는 OFF 상태가 된다. 3 상태 버퍼(347~350)가 OFF 상태인 경우, 의의 데이터값을 갖는 출력 데이터의 어드레스 신호 SDB0~SDB3은 이를 3 상태 버퍼(499~502)로부터 출력되지 않고, 3 상태 버퍼(499~502)의 출력은 고임피던스 상태를 취한다.

예컨대, 1-비트 기억 회로(480, 483~486, 495~498)는 제81도에 도시한 구성을 가질 수도 있다. 제81도에서, 1-비트 기억 회로는 pMOS 트랜지스터(503), 부하를 형성하는 고저항(504, 505), nMOS 트랜지스터(506~508) 및 인버터(509, 510)를 포함한다.

그러므로, 시험용 용장 어드레스 기억 회로(318)는 기본적으로 1-비트 기억 회로의 구성을 제외하고는 용장 어드레스 기억 회로(316)와 동일한 회로 구성을 갖는다. 따라서, 시험용 용장 어드레스 기억 회로(318)는 용장 어드레스 기억 회로(316)와 유사하게 작동될 수 있다.

바꿔 말하면, 시험을 수행하는 경우, 출력 정정 시험이 시험용 용장 어드레스 기억 회로(318)를 사용하여 실행될 수 있도록 스위칭 회로(317)는 OFF 상태, 스위칭 회로(319)는 ON 상태로 된다. 정상 사용중에, 용장 어드레스 기억 회로(316)가 사용되도록 스위칭 회로(317)는 ON 상태, 스위칭 회로(319)는 OFF 상태로 된다.

제51도에 도시한 1-비트 기억 회로에서, 퓨즈(355 또는 356)는 사용중에 절단된다. 판독시에, 제52도 및 제53도와 관련하여 상술한 바와 같이, pMOS 트랜지스터(351)가 ON 상태, nMOS 트랜지스터(354)가 OFF 상태이기 때문에, 전류가 전원 VCC에서 접지까지 정상적으로 흐르는 경로는 존재하지 않는다.

또한, 사용중이 아닌 경우, pMOS 트랜지스터(351)는 OFF 상태이고, nMOS 트랜지스터(354)는 ON 상태이다. 따라서, 이러한 경우에 또한 전류가 전원 VCC로부터 접지까지 정상적으로 흐르는 경로는 존재하지 않는다.

따라서, 이러한 제5실시예에 의하면, 제51도에 도시한 1-비트 기억 회로가 용장 어드레스 기억 회로(316)를 형성하도록 사용되는 경우 전력 소비를 감소시킬 수 있다. 또한, 퓨즈(355, 356)가 레이저에 의해 절단될 수 있으므로 기압 회로는 필요치 않다. 그 결과, 용장 어드레스 기억 회로(316)가 차지한 영역을 감소시킬 수 있고, 결과적으로 칩 영역을 감소시킬 수 있다.

또한, 제62도, 제63도, 제72도 및 제73도와 관련하여 상술한 바와 같이 제56도에 도시한 1-비트 기억 회로 및 제64도에 도시한 1-비트 기억 회로의 경우에도 또한, 전류가 전원 VCC로부터 접지까지 정상적으로 흐르는 경로는 존재하지 않는다. 이러한 이유로, 용장 어드레스 기억 회로(316)를 형성하도록 제56도에 도시한 1-비트 기억 회로 사용되는 제56도에 도시한 1-비트 기억 회로가 사용되는 경우 전력 소비를 감소시킬 수 있다.

또한, 제5의 실시예에 있어서, 용장 어드레스 기억 회로(316)를 형성하는 제50도에 도시한 블록(322)에서, 컬럼 어드레스 기억 회로(342)의 출력(3 상태 버퍼(347~350)의 출력)은 외측으로부터 공급된 어드레스 신호 A17~A2001 용장 어드레스와 일치하지 않는 경우 고임피던스 상태가 된다. 그 결과, 블록(322)과 동일한 구성을 갖는 복수의 블록이 용장 어드레스 기억 회로(316)에 제공되는 경우, 즉, 예컨대, 4개의 블록(322~325)이 제공되는 경우에도, 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스 신호 SDB0~SDB3를 제48도에 도시한 출력 정정 회로(320)의 디코더(439)(제74도에 도시)에 공급하도록 공통 신호 라인을 사용하는 것이 가능하므로 칩 영역을 감소시킬 수 있다.

또한, 제5 실시예에서, 어드레스 신호 A17~A2001에 의해 나타낸 어드레스가 출력 정정 회로(320)의 용장

어드레스 신호와 일치할 경우, 의의 데이터값을 갖는 출력 데이터를 배제한 메인 셀 어레이(3100~31015)로부터 출력되는 데이터 00~015와, 배터 논리합 회로군(441)으로부터 출력되는 데이터는 외측으로 출력된다. 따라서, 의의 데이터값을 갖는 출력 데이터가 고레벨 또는 저레벨로 고정되지 않는 불량 데이터일 경우에도, 이러한 제5 실시예는 정상 데이터를 외측으로 출력시킬 수 있다.

또한, 이 제5실시예에는 어드레스 기억 소자로서 SRAM 셀을 사용하는 시험용 용장 어드레스 기억 회로(318)가 제공된다. 그러므로, 반도체 메모리 장치가 여전히 웨이퍼 상태를 취하는 경우 시험 공정 중에 시험 장치에 의해 용장 어드레스를 기억시킬 수 있다. 즉, 반도체 메모리 장치의 웨이퍼 상태에서 시험 공정 중에 용장 어드레스에 대한 정상 데이터가 출력되는지 여부를 시험할 수 있다. 따라서, 정상 용장 어드레스 기억 회로에 대해 기입 동작이 이루어진 후, 패리티 데이터가 불량인 경우를 고려할으론 새 용장 어드레스에 대한 정상 데이터가 출력되는지 여부를 결정하기 위해 재자 시험할 필요는 없다. 그러므로, 시험 공정을 단순화하는 것이 가능하다.

이어서, 본 발명에 따른 반도체 메모리 장치의 제6실시예를 제82도 내지 제85도를 참조하여 이하에 설명하기로 한다.

제82도는 제6실시예의 주요부를 나타낸 일반적인 평면도이다. 제6실시예에서, 마스크 ROM은 직렬로 접속된 16개의 nMOS 트랜지스터를 포함한 NAND형 셀을 배열함으로써 16-비트 출력을 생성한다. 판독시, 선택 워드선은 저레벨로 비선택 워드선은 고레벨로 각각 설정된다. 즉, 제6실시예는 제22도에 도시한 마스크 ROM의 제6 구성예를 개선한 것이다.

제82도에서, 마스크 ROM의 첨본체(511)는 메모리 셀 어레이(512A0~512A15, 512B0~512B15) 및 로우 디코더(513~516)를 포함한다. 즉, 메모리 셀 어레이 512A1 및 512B0~512B15는 제22도에 도시한 메모리 셀 어레이(1330~13315)의 컬럼을 2로 분할함으로써 얻어진다. 그러므로, 메모리 셀 어레이(512A0~512A15, 512B0~512B15)의 각각에 대한 컬럼(비트선)의 선택은 컬럼 어드레스 신호에 의해 이루어지지만 비트수는 마스크 ROM의 제6구성예의 비트수의 1/201 된다.

로우 디코더(513)는 메모리 셀 어레이(512A0~512A7)의 워드선 및 블록 선택선을 선택하고, 로우 디코더(514)는 메모리 셀 어레이(512A8~512A15)의 워드선 및 블록 선택선을 선택한다. 또한, 로우 디코더(515)는 메모리 셀 어레이(512B0~512B7)의 워드선 및 블록 선택선을 선택하고, 로우 디코더(516)는 메모리 셀 어레이(512B8~512B15)의 워드선 및 블록 선택선을 선택한다.

제83도는 로우 디코더(513)의 회로 구성을 나타낸 것이다. 로우 디코더(514)는 상기 로우 디코더(513)와 동일한 구성을 가질 수도 있다.

제83도에 도시한 로우 디코더(513)는 블록 선택선 선택 회로(517), 워드선 선택 회로(518) 및 NAND 회로(519)를 포함한다.

블록 선택선 선택 회로(517)는 블록 선택선 선택 신호 BS0B~BS7B에 기초하여 메모리 셀 어레이(512A0~512A7)의 블록 선택선(BS0~BS7) 중 하나를 선택한다. 워드선 선택 회로(518)는 워드선 선택 신호 WS0~WS15에 기초하여 메모리 셀 어레이(512A0~512A7)의 워드선 WL0~WL15 중 하나를 선택한다.

제83도에서, ROW00A, ROW10A 및 ROW20A는 로우 디코더(513)의 활성화를 제어하는 신호, 즉, 블록 선택선 선택 회로(517) 및 워드선 선택 회로(518)의 활성화를 제어하는 신호를 나타낸다. NAND 회로(519)는 블록 선택선 선택 회로(517) 및 워드선 선택 회로(518)의 활성화를 제어한다.

NAND 회로(519)는 pMOS 트랜지스터(520~522) 및 nMOS 트랜지스터(523~525)를 포함한다.

신호 ROW00A, ROW10A 및 ROW20A가 고레벨을 갖는 경우, NAND 회로(519)의 출력은 저레벨이 되고, 블록 선택선 선택 회로(517) 및 워드선 선택 회로(518)는 활성화 된다.

제84도는 로우 디코더(515)의 회로 구성을 나타낸 것이다. 로우 디코더(516)는 상기 로우 디코더(515)와 동일한 구성을 가질 수도 있다.

제84도에 도시한 로우 디코더(515)는 블록 선택선 선택 회로(526), 워드선 선택 회로(527) 및 NAND 회로(528)를 포함한다.

블록 선택선 선택 회로(526)는 블록 선택선 선택 신호 BS0B~BS7B에 의거 메모리 셀 어레이(512B0~512B7)의 블록 선택선 BS0~BS7 중 하나를 선택한다. 워드선 선택 회로(527)는 워드선 선택 회로 WS0~WS15에 기초하여 메모리 셀 어레이(512B0~512B7)의 워드선 WL0~WL15 중 하나를 선택한다.

제84도에서, ROW00B, ROW10B 및 ROW20B는 로우 디코더(515)의 활성화를 제어하는 신호, 즉, 블록 선택선 선택 회로(526) 및 워드선 선택 회로(527)의 활성화를 제어하는 신호를 나타낸다. NAND 회로(528)는 블록 선택선 선택 회로(526) 및 워드선 선택 회로(527)의 활성화를 제어한다.

NAND 회로(528)는 pMOS 트랜지스터(529~531) 및 nMOS 트랜지스터(532~534)를 포함한다.

신호 ROW00B, ROW10B 및 ROW20B가 고레벨을 갖는 경우, NAND 회로(528)의 출력은 저레벨로 되고, 블록 선택선 선택 회로(526) 및 워드선 선택 회로(527)는 활성화된다.

제85도는 제6 실시예의 로우 어드레스 시스템의 회로 구성을 나타낸 시스템 블록도이다. 제85도에서, A7~A19는 로우 어드레스 시스템을 제어하는 로우 어드레스 신호를 나타낸다.

제85도에 도시한 로우 어드레스 시스템은 로우 어드레스 버퍼(535), 블록 셀렉터(536), 워드선 셀렉터(537), 로우 프리디코더(538), 로우 디코더(513~516) 및 메모리 셀 어레이(512A0~512A15, 512B0~512B15)를 포함한다.

로우 어드레스 버퍼(535)는 외측으로부터 공급된 로우 어드레스 신호 A7~A19를 입력한다. 블록 셀렉터(536)는 로우 어드레스 신호 A7, A12 및 A13을 디코드하고 블록 선택선 선택 신호 BS0~BS7를 출력한다. 워드선 셀렉터(537)는 로우 어드레스 신호 A8~A11을 디코딩하고 워드선 선택 신호 WS0~WS15를 출력

력한다.

로우 프리디코더(538)는 로우 어드레스 신호 A14~A19를 디코딩하고 신호 ROW00A, ROW10A, ROW20A, ROW00B, ROW10B 및 ROW20B를 출력한다.

마스크 ROM의 제6구성예에서, 로우 어드레스 신호 A19는 컬럼 어드레스 신호로서 사용된다.

이러한 제6구성예에 따라, 로우 디코더(513, 514) 또는 로우 디코더(515, 516)가 활성화된다. 메모리 셀 어레이(512A0~512A15)의 워드선 또는 메모리 셀 어레이(512B0~512B15)의 워드선은 구동되고, 메모리 셀 어레이(512A0~512A15)의 워드선 및 메모리 셀 어레이(512B0~512B15)의 워드선은 동시에 구동되지 않게 된다. 따라서, 전력 소비를 감소시킬 수 있다.

다음에, 본 발명에 따른 반도체 메모리 장치의 제7실시예의 이해를 돋기 위해 마스크 ROM의 제7구성예를 제86도를 참조하여 설명한다.

제86도는 마스크 ROM의 제7구성예의 배치를 나타낸 것이다. 제86도에 도시한 마스크 ROM(1100)은 패드 및 배선부(1101), 주변 회로(1102), 4 컬럼 디코더(1103), 로우 디코더(1104) 및 메모리 셀부(1105)를 포함한다. 메모리 셀부(1105)는 메인 셀 어레이 OUT1~OUT16 및 용장 패리티 셀 어레이 P1 및 P2를 포함한다.

제86도에서, CD는 컬럼 방향, WD는 워드선 방향을 나타낸다.

마스크 ROM(100)은 16 비트 패리티 용장 시스템을 사용한다. 1 비트는 총 16 비트를 갖는 출력을 형성하기 위해 메인 셀 어레이 OUT1~OUT16의 각각으로부터 얻어지고, 16 비트 출력의 배타 논리합의 연산 결과는 각 어드레스에 대한 패리티 셀 어레이 P1 및 P2에 기억된다. 그러므로, 예컨대, 메인 셀 어레이 OUT1~OUT16중 하나의 메인 셀 어레이 OUT1의 출력이 불량인 경우, 나머지 메인 셀 어레이 OUT2~OUT16의 모든 출력이 불량이 아닌 대응하는 패리티 셀 어레이 P1 및 P2에 기억된 용장 데이터를 사용하여 불량을 치우칠 수 있다. 즉, 마스크 ROM의 제7구성예는 단일 메인 셀 어레이의 출력 불량을 치우칠 수 있고, 단일 비트선 또는 컬럼 방향 CD의 불량을 치우는데 적합하다.

그러나, 제86도의 메모리 셀 어레이는 1로우 디코더(104)가 상기로우 디코더(104)의 양측상의 복수의 메인 셀 어레이를 지나는 워드선을 구동시키도록 배치된다. 이러한 이유로, 예컨대, 워드선 불량이 발생된다면 워드선이 복수의 메인 셀 어레이를 지나기 때문에 이러한 불량을 치우치는 것은 어렵다.

즉, 예컨대, 워드선 불량이 제86도의 메인 셀 어레이 OUT1, OUT9, OUT2 및 OUT10을 지나는 워드선 WD에서 발생된다면, 이를 4개의 메인 셀 어레이 중 20이상의 메인 셀 어레이가 불량이 될 가능성이 있다. 그러한 경우, 대응 패리티 셀 어레이 P1 및 P2를 사용하는 경우에도 모든 불량 메인 셀 어레이를 치우치는 것은 어렵고 불량에 대하여 치우 효과가 불충분하다는 문제점이 있다.

따라서, 마스크 ROM의 제7구성예의 문제점을 제거할 수 있는 본 발명에 따른 반도체 메모리 장치의 제7실시예에 관해 미하에 설명하기로 한다.

제87도는 상기 제7실시예의 배치를 나타낸 것이다. 제7실시예에서, 본 발명은 마스크 ROM에 적용된다. 제87도에 도시한 마스크 ROM(1010)은 패드 및 배선부(1011), 주변 회로(1012), 컬럼 디코더(1013), 로우 디코더(1014), 메인 셀 콕부(1015) 및 패리티 셀부(1016)를 포함한다. 메인 셀부(1015)는 메인 셀 어레이 OUT1~OUT16을 포함하고, 컬럼 디코더(1013)는 메인 셀 어레이 OUT1~OUT16에 대응하는 배열을 갖는 복수의 컬럼 디코더 회로를 포함한다. 또한, 로우 디코더(1014)는 2개의 인접 메인 셀 어레이의 워드선을 각각 구동시키도록 배열된 복수의 로우 디코더 회로를 포함한다.

패리티 셀부(1016)는 용장 패리티 셀 어레이 P1~P8을 포함한다. 패리티 셀 어레이 P1은 메인 셀 어레이 OUT1 및 OUT3에 대응하는 위치에 제공된다. 이와 유사하게, 패리티 셀 어레이 P2, P3, P4, P5, P6, P7 및 P8은 메인 셀 어레이 OUT9 및 OUT11, OUT2 및 OUT4, OUT10 및 OUT12, OUT5 및 OUT7, OUT13 및 OUT14, OUT6 및 OUT8, OUT15 및 OUT16에 대응하는 위치에 각각 제공된다.

이러한 제7실시예는 16 비트 패리티 용장 시스템을 사용한다. 1 비트는 총 6 비트를 갖는 출력을 형성하도록 메인 셀 어레이 OUT1~OUT16의 각각으로부터 얻어지고, 16 비트 출력의 배타 논리합의 연산 결과는 각 어드레스에 대한 패리티 셀 어레이 P1~P8에 기억된다. 그러므로, 예컨대, 메인 셀 어레이 OUT1~OUT16중 하나의 메인 셀 어레이 OUT1의 출력이 불량이더라도, 나머지 메인 셀 어레이 OUT2~OUT16의 모든 출력이 불량이 아닌 한 대응 패리티 셀 어레이 P1~P8에 기억된 용장 데이터를 사용하여 불량을 치우칠 수 있다. 즉, 이 제7실시예는 메인 셀 어레이의 출력 불량을 효과적으로 치우칠 수 있고, 워드선 방향 WD 및 컬럼 방향 CD의 불량을 치우는데 적합하다.

또한, 1로우 디코더 회로는 단지 2개의 메인 셀 어레이의 워드선을 구동시킨다. 예컨대, 1로우 디코더 회로(1014a)는 단지 2개의 메인 셀 어레이 OUT1 및 OUT9의 워드선을 구동시킨다. 따라서, 예컨대, 워드선 불량이 제87도에 도시한 메인 셀 어레이 OUT1의 워드선 WD에서 발생되더라도, 2개의 메인 셀 어레이의 나머지, 즉 메인 셀 어레이 OUT9는 통상적으로 불량 상태가 되지 않는다. 이러한 이유로, 그러한 워드선 불량은 대응 패리티 셀 어레이 P1~P8을 사용하여 치우칠 수 있다. 바꿔 말하면, 제7실시예에서, 하나의 로우 디코더 회로가 단지 2개의 메인 셀 어레이의 워드선만을 구동하기 때문에, 워드선 불량이 발생하는 경우 2개의 메인 셀 어레이를 하나의 출력만이 불량 상태로 되고, 단지 하나의 메인 셀 어레이의 출력만이 불량으로 되기 때문에, 패리티 셀 어레이를 사용하는 치우 방법이 가능하게 된다.

제88도는 제7실시예의 주요부를 나타낸 시스템 블록도이다. 편의를 위해, 제88도는 컬럼 디코더(1013) 및 로우 디코더(1014)의 각각을 하나의 블록만으로 도시하였으나, 실제 배치는 제87도에 도시한 바와 같다. 게다가, 편의상 미하에 메인 셀부(1021)로 칭하는 메인 셀 어레이 OUT1~OUT16 및 패리티 셀 어레이 P1~P8도 또한 하나의 블록으로 나타낸다.

제88도에서, 마스크 ROM(1010)은 어드레스 버퍼(1020), 메모리 셀부(1021), 컬럼 디코더(1013), 로우 디

코더(1014), 용장 회로(1022), 불량 출력 기억 회로(1023) 및 출력 버퍼(1024)를 포함한다. 용장 회로(1022)는 배타 논리합 회로(25) 및 데미타 스위칭 회로(1026, 1027)를 포함한다. 용장 회로(1022), 불량 출력 기억 회로(1023), 출력 버퍼(1024) 등은 제87도에 도시한 주변 회로(1012)내에 제공된다.

컬럼 디코더(1013) 및 로우 디코더(1014)는 각각 입력 어드레스비트 A0~A19 중의 컬럼 어드레스 비트 A0~A7 및 로우 어드레스 비트 A8~A19를 디코딩한다.

컬럼 디코더(1013)는 컬럼 어드레스 비트 A0~A7을 디코딩하고 메모리 셀부(1021)의 컬럼을 선택한다. 로우 디코더(1014)는 로우 어드레스 비트 A8~A9를 디코딩하고 로우, 즉 워드선을 선택한다. 센스 증폭기(도시 생략)는 컬럼 디코더(1013)내에 제공된다.

로우 디코더(1014)의 로우 어드레스 비트 A8~A19를 디코딩함으로써 저장되는 로우의 데미타 및 패리티 데미타는 메모리 셀부(1021)로부터 출력된다. 컬럼 디코더(1013)는 메모리 셀부(1021)로부터 출력된 데미타 및 패리티 데미타중 컬럼 어드레스 비트 A0~A7을 디코딩함으로써 지정된 1 어드레스에 달하는 데미타 비트 00~015 및 패리티 데미타 비트 P0를 선택하여 출력한다. 패리티 데미타 비트 P0는 용장 회로(1022)내의 배타 논리합 회로(1025)에 공급되고, 데미타 비트 00~015는 용장 회로(1022)내의 데미타 스위칭 회로(1026, 1027)에 공급된다. 컬럼 디코더(1013) 및 로우 디코더(1014)는 공지된 구성을 가질 수 있으므로, 컬럼 디코더(1013) 및 로우 디코더(1014)의 구성과 관련한 설명은 생략하기로 한다.

입력 어드레스 비트 A0~A19중, 최소한 로우 어드레스 비트 A8~A19의 상위 비트는 불량 출력 기억 회로(1023)에 또한 공급된다. 이 불량 출력 기억 회로(1023)는 로우 어드레스 및 미리 기억된 불량 어드레스(용장 어드레스)의 상위 비트를 일치하는 경우 16 비트의 하나가 예상 상태, 즉 1 비트가 불량임을 나타내는 불량 출력 선택 데미타 S000~S0015를 발생시켜 출력한다. 바꿔 말하면, 불량 출력 기억 회로(1023)는 단지 16 비트 중 1 불량 비트에 대해서만 값 1(고레벨)을 갖고 나머지 15 비트에 대해서는 값 0(저레벨)을 갖는 불량 출력 선택 데미타 S000~S0015를 발생시켜 출력한다.

로우 어드레스의 상위 비트와 비교되는 불량 어드레스는 마스크 ROM의 제조 후 행해지는 시험 결과에 따라 미리 기억된다. 4 비트 2진수(로우 어드레스)는 16 비트 중 1 비트가 불량임을 나타낸다. 이러한 4 비트로우 어드레스는 또한 마스크 ROM의 제조 후 행해지는 시험 결과에 따라 불량 출력 기억 회로(1023)에 미리 기억된다. 불량 출력을 갖지 않는 메인 셀의 로우 어드레스는 불량 출력 기억 회로(1023)에 기억되지 않는다. 마스크 ROM의 시험은 공지된 방법으로 행해질 수 있다.

이 실시예에서, 불량 출력 기억 회로(1023)는 제89도에 도시한 구성을 갖는다. 제89도에 도시한 바와 같이, 불량 출력 기억 회로(1023)는 치유될 불량 어드레스를 기억하는 회로부(1141), 치유될 메인 셀의 불량 출력의 수를 나타내는 4 비트 2 진수를 기억하는 회로부(1151) 및 불량 데미타 비트를 지정하는 회로부(1161)를 포함한다. 제89도에서는 설명의 편의를 위해 각 회로부의 주요부만의 구성을 도시하였다.

회로부(1141)는 레이저 퓨즈와 같은 PROM 소자로 구성되는 기억 소자군(1142), 배타 논리합 회로군(1143) 및 NOR 회로(1144)를 포함한다. 기억 소자군(1142)의 PROM 소자들은 각각 불량 어드레스를 기억하는 1-비트 기억 회로이며, 각 PROM 소자의 출력은 배타 논리합 회로군(1143)의 대응 배타 논리합 회로에 공급된다. 각각의 배타 논리합 회로에는 또한 로우 어드레스 비트 A16~A19의 대응 1 비트가 공급된다. 그러므로, 로우 어드레스와 미리 기억된 불량 어드레스의 상위 비트들이 일치하면 고레벨의 신호 HIT가 NOR 회로(1144)로부터 출력된다. 즉, 불량 어드레스는 4 비트로 기억된다. 신호 HIT는 회로부(1161)에 공급된다. PROM소자(1-비트 기억 회로)(1140)는 동작 모드가 용장 회로(1022)를 사용하는 지의 여부를 나타내는 플래그를 기억한다. 따라서, NOR 회로(1144)의 출력 신호 HIT는 PROM 소자(1140)의 출력에 따라 용장 회로(1022)를 사용하는 동작 모드에서만 고레벨을 갖는다.

회로부(1151)는 PROM 소자로 구성되는 기억 소자군(1152)을 포함한다. 기억 소자군(1152)의 PROM 소자는 각각 미 메인 셀의 불량 출력수를 표시한 4 비트의 각 숫자를 기억하는 1-비트 기억 회로이다. 기억 소자군(1152)을 형성하는 PROM 소자의 출력 신호 S000~S003은 회로부(1161)에 공급된다. 즉, 불량 출력수는 4비트로 기억된다.

회로부(1161)는 제89도에 도시된 바와 같이 접속된 NOR 회로군(1162)과 AND 회로군(1164)을 포함한다. 회로부(1141)로부터의 신호 HIT와 회로부(1151)로부터의 신호 S000~S003은 NOR 회로군(1162)에 공급된다. AND 회로군(1164)의 각 AND 회로에는 NOR 회로군(1162)의 대응 NOR 회로의 출력이 공급된다. AND 회로군(1164)은 NOR 회로군(1162)의 출력을 기초로 불량 출력 선택 데미타 S000~S0015를 출력한다. 불량 출력 선택 데미타 S000~S0015는 용장 회로(1022) 내의 데미타 스위칭 회로(1026, 1027)에 공급된다.

제90도는 데미타 스위칭 회로(1026)의 중요부의 구성도이다. 데미타 스위칭 회로(1026)는 제90도에 도시된 바와 같이 접속된 게이트 회로군(1071-0 내지 1071-15)을 포함한다. 각 게이트 회로군(1071-1)은 불량 출력 기억 회로(1023)로부터 불량 출력 선택 데미타 S000~S0015의 대응 신호 비트 S001가 공급되는 인버터와 미 인버터의 출력과 대응 데미타 비트 di(여기에서, d=0, ..., 15)가 공급되는 AND 회로를 포함한다. 따라서 데미타 비트 00~015는 불량 출력 비트 di(여기에서, d=0, ..., 15)를 제외하고는 그대로 배타 논리합 회로(1025)로 공급된다. 불량 출력 비트 di는 대응 신호 비트 S001가 고레벨로 되기 때문에 저레벨로 고정된 상태로 용장 회로(1022)내의 배타 논리합 회로(1025)에 공급된다.

제91도는 이 실시예의 배타 논리합 회로(1025)의 구성도이다. 데미타 스위칭 회로(1026)로부터 얻어진 데미타 비트 00~015중에서 데미타 비트 00~07은 배타 논리합 회로군(1173)에 공급되며, 데미타 비트 08~015는 배타 논리합 회로군(1174)에 공급된다. 배타 논리합 회로군(173, 174)은 각각 제91도에 도시된 바와 같이 접속된 복수의 배타 논리합 회로로 구성되며, 배타 논리합 회로(1175)는 배타 논리합 회로군(1173, 1174)의 출력들의 배타 논리합을 얻는다. 또, 배타 논리합 회로(1176)는 컬럼 디코더(1013) 및 배타 논리합 회로(1175)의 출력으로부터 패리티 데미타 비트 P0의 배타 논리합을 얻는다. 배타 논리합 회로(1176)의 출력 신호 CD는 용장 회로(1022)내의 데미타 스위칭 회로(1027)에 공급된다.

제92도는 이 실시예의 데미타 스위칭 회로(1027)에 대한 중요부의 구성도이다. 데미타 스위칭 회로(1027)는 제92도에 도시된 바와 같이 접속된 게이트 회로군 (1176-0 내지 1176-15)을 포함한다. 각 게이트 회로

군(1176-j)은 불량 출력 기억 회로(1023)로부터의 불량 출력 선택 데이터 S000~S0015중에서 대응 신호 비트 S00j가 공급되는 인버터, 배타 논리합 회로(1025)로부터의 신호 CD와 신호 비트 S00j가 공급되는 제1 NAND 회로, 인버터의 출력과 대응 데이터 비트 Mj가 공급되는 제2 NAND 회로, 그리고 제1 및 제2 NAND 회로의 출력이 공급되는 제3 NAND 회로를 포함한다(이 경우, j=0, ..., 15). 제3 NAND 회로는 데이터 비트 Mj를 제88도에 도시된 출력 버퍼(1024)에 공급한다. 그 결과, 불량 출력 비트 Mj만이 데이터 스위칭 회로(1027)에서 정정되며 다른 데이터 비트와 함께 출력 버퍼(1024)에 공급된다.

본 발명의 제7 실시예에 의하면 하나의 메인 셀 어레이에는 하나의 워드선에 의해 구동된다. 그러나, 하나의 워드선으로 2 이상의 메인 셀 어레이들은 구동시킬 수 있는 것도 생각할 수 있다.

제93도는 마스크 ROM의 제8구성예의 배치도이다. 제93도에 도시된 마스크 ROM(1200)은 패드 및 배선부(1201), 주변 회로(1202), 12개의 컬럼 디코더(1203), 3개의 로우 디코더(1024) 및 메모리 셀부(1205)를 포함한다. 메모리 셀부(1205)는 메인 셀 어레이 OUT1L~OUT16L, OUT1H~OUT16H를 포함한다. 편의를 위해 용장 패리티 셀 어레이의 도시는 생략한다. 제93도에서 CD는 컬럼 방향을 나타내고 WD는 워드선 방향을 나타낸다.

그러나, 제93도에 도시된 배치도에 의하면 2개의 메인 셀 어레이가 하나의 워드선에 의해 구동되는 부분과 3개의 메인 셀 어레이가 한개의 워드선에 의해 구동되는 부분이 있다. 이러한 이유 때문에, 출력 특성은 메인 셀 어레이에 따라 다르다. 즉, 3개의 메인 셀 어레이가 구동되는 부분에서의 워드선이 2개의 메인 셀어레이가 구동되는 부분에서의 워드선보다 길기 때문에, 마스크 ROM(1200)의 동작 속도는 하나의 워드선에 의해 구동되는 3개의 메인 셀 어레이의 출력속에 의해 결정될 것이다.

다음으로, 하나의 워드선으로 2 이상의 메인 셀 어레이를 구동시킬 경우 메인 셀 어레이에 관계없이 일정한 출력 특성을 유지할 수 있고 상술한 제7실시예에 비해 개선된 성능으로 불량 출력력을 치유할 수 있는 실시예에 대해 설명하기로 한다.

제94도는 본 발명에 의한 반도체 메모리 장치의 제7실시예에 대한 배치도이다. 제8실시예에서 본 발명은 마스크 ROM에 적용된다.

제94도에서 마스크 ROM(1010A)은 패드 및 배선부(1011), 주변 회로(1012), 컬럼 디코더(1013), 로우 디코더(1014), 메인 셀부(1015) 및 패리티 셀부(1016)를 포함한다. 메인 셀부(1015)는 메인 셀 어레이 OUT1L~OUT16L, OUT1H~OUT16H를 포함하며, 컬럼 디코더(1013)는 메인 셀 어레이 OUT1L~OUT16L, OUT1H~OUT16H에 대응하는 배열을 갖는 복수의 컬럼 디코더 회로를 포함한다. 또 로우디코더(1014)는 각각의 로우 디코더 회로가 3개의 인접 셀 어레이를 구동시키도록 하는 배열을 갖는 복수의 로우 디코더 회로를 포함한다.

패리티 셀부(1016)는 용장 패리티 셀 어레이 P1L, P1H, P2L, P2H를 포함한다. 패리티 셀 어레이 P1L은 메인 셀 어레이 OUT1L~OUT8L에 대해 제공되고, 패리티 셀 어레이 P2L은 메인 셀 어레이 OUT9L~OUT16L에 대해 제공된다. 이와 유사하게, 패리티 셀 어레이 P1H는 메인 셀 어레이 OUT1H~OUT8H에 대해 제공되며, 패리티 셀 어레이 P2H는 메인 셀 어레이 OUT9H~OUT16H에 대해 제공된다. 예컨대, 로우(L)측의 메인 셀 어레이 OUT1L~OUT16L은 저레벨 컬럼 어드레스 비트 A19에 의해 선택되며, 하이(H)측의 메인 셀 어레이 OUT1H~OUT16H는 고레벨 컬럼 어드레스 비트 A19에 의해 선택된다.

이 실시예에서는 8 비트 패리티 용장 시스템이 사용된다. 총 8 비트의 출력을 형성하기 위해 각각의 메인 셀 어레이 OUT1L~OUT8L로부터 1 비트가 얻어지고, 8 비트 출력의 배타 논리합의 연산 결과치는 각 어드레스에 대해 패리티 셀 어레이 P1L에 기억된다. 또한, 총 8 비트의 출력을 형성하기 위해 각 메인 셀 어레이 OUT9L~OUT16L로부터 1 비트가 얻어지고, 8 비트 출력의 배타 논리합의 연산 결과치는 각 어드레스에 대해 패리티 셀 어레이 P2L에 기억된다. 이와 마찬가지로, 총 8 비트의 출력을 형성하기 위해 각 메인 셀 어레이 OUT1H~OUT8H로부터 1비트가 얻어지고, 8 비트 출력의 배타 논리합의 연산 결과치는 각 어드레스에 대해 패리티 셀 어레이 P1H에 기억되며, 총 8 비트의 출력을 형성하기 위해 각 메인 셀 어레이 OUT9H~OUT16H로부터 1 비트가 얻어지고 8 비트 출력의 배타 논리합의 연산 결과치는 각 어드레스에 대해 패리티 셀 어레이 P2H에 기억된다. 따라서 비트 패리티 데이터가 8 비트 출력에 대해 제공되며, 2 M비트에 달하는 패리티 셀부(1016)가 예컨대, 16M비트 메인 셀부(1015)에 대하여 제공된다.

그러므로, 예컨대, 메인 셀 어레이 OUT1L~OUT16L중 하나의 메인 셀 어레이 OUT1L의 출력이 불량하더라도, 나머지 메인 셀 어레이 OUT2L~OUT16L의 모든 출력이 불량하지 않는 한 대응 패리티 셀 어레이 P1L에 기억된 용장 데이터를 사용하여 불량을 치유할 수 있다. 즉, 제8 실시예에는 메인 셀 어레이의 출력 불량을 효과적으로 치유할 수 있으며, 워드선 방향 WD 또는 컬럼 방향 CD의 불량을 치유하는데 적합하다.

이 경우 단일 워드선 WLd1은 예컨대, 메인 셀 어레이 OUT1L, OUT1H 및 OUT9L을 구동시킨다. 이러한 이유로, 워드선 WLd1에 불량이 있으면 패리티 데이터 비트가 동일한 패리티 셀 어레이에 기억될 것이기 때문에 16 비트 패리티 용장 시스템에 의해 그 불량이 치유될 수 없다.

그러나, 제8 실시예에 따르면, 8 비트 패리티 용장 시스템이 사용되며, 패리티 셀 어레이는 로우(L)측과 하이(H)측으로 분할된다. 따라서, 로우(L)측과 하이(H)측에 무관하게 제공된 패리티 셀 어레이 P1H, P2H 와 패리티 셀 어레이 P1L, P2L을 이용하여 워드선 WLd1의 상술한 불량을 치유할 수 있다.

또한, 워드선 WLd2에 불량이 존재하면 예컨대, 메인 셀 어레이 OUT12L, OUT12H에 대응하는 패리티 데이터는 16-비트 패리티 용장 시스템이 사용될 경우 패리티 셀 어레이 P1L의 위치에 기억되며, 메인 셀 어레이 OUT12L, OUT12H와 패리티 셀 어레이가 불량으로 될 것이기 때문에 이 경우의 불량을 치유할 수 없게 된다.

그러나, 제8실시예에 따르면, 패리티 셀 어레이 워드선의 길이는 배치도 내의 모든 부분에서 동일하게 되며, 각 메인 셀 어레이의 출력 특성도 동일하게 된다. 즉, 패리티 셀 어레이가 제공됨으로 인해 마스크 ROM의 동작 속도는 저하되지 않는다.

제8실시예의 주요부에 대한 시스템 블록도는 기본적으로는 제88도에 도시된 것과 동일하다. 그러나 이 실

시예에서는 메인 셀 어레이 OUT1L~OUT16H와 패리티 셀 어레이 P1L~P2H가 편의를 위해 제88도의 메모리 셀 부분(1020)과 같은 하나의 블록에 의해 지정된다. 또, 입력 어드레스 비트 A0~A19중에서 A0~A8은 로우 어드레스 비트에 대응하고 A0~A7과 A19는 컬럼 어드레스 비트에 대응한다. 그러므로, 어드레스 비트 A15~A19는 불량 출력 기억 회로(1023)에 공급된다.

제8 실시예에서, 불량 출력 기억 회로(1023)는 예컨대, 제95도에 도시된 바와 같은 회로(1041, 1051, 1061)를 포함한다. 회로부(1041)는 치유될 불량 어드레스를 기억하고, 회로부(1051)는 치유될 메인 셀을 갖는 블록을 나타내는 4비트 2진수를 기억하며, 회로부(1061)는 불량 데이터 비트를 특정한다. 제95도에서는, 편의상 불량 출력 기억 회로(1023)의 주요부만이 도시된다.

회로(1041)는 레이저 퓨즈와 같은 PROM 소자로 구성되는 기억 소자군(1042), 배터 논리합 회로군(1043) 및 NOR 회로(1044)를 포함한다. 기억 소자군(1042)의 각 PROM 소자는 1비트의 불량 어드레스를 기억하는 1비트 기억 회로에 의해 형성되며, PROM 소자의 출력은 배터 논리합 회로군(1043)의 대응 배터 논리합 회로에 공급된다. 각 배터 논리합 회로에는 또한 로우 어드레스 비트 A15~A18의 대응 1비트가 공급된다. 그러므로 로우 어드레스 비트 A15~A18와 기억된 불량 어드레스 비트가 일치하면 고레벨 신호 HIT가 NOR 회로(1044)로부터 출력된다.

회로부(1041)는 상술한 바와 같은 4비트 불량 어드레스를 기억한다. 상기 신호 HIT는 회로부(1061)에 공급된다. PROM 소자(1040)는 동작 모드가 용장 회로(1022)를 사용하는 지의 여부를 나타내는 플래그를 기억한다. 그러므로 NOR 회로(1044)의 출력 신호 HIT의 레벨은 용장 회로(1022)를 사용하는 동작 모드 동안에만 PROM 소자(1040)의 출력에 응답하여 고레벨로 된다.

회로부(1051)는 PROM 소자로 구성되는 메모리 소자군(1052)을 포함한다.

메모리 소자군(1052)의 각 PROM 소자는 불량 메인 셀을 포함하는 블록을 나타내는 4비트 중 대응 1비트를 기억하는 1비트 기억 회로에 의해 형성된다. 메모리 소자군(1052)의 PROM 소자의 출력 신호 SDB0~SDB3은 회로부(1061)에 공급된다. 즉, 회로부(1051)는 4비트의 불량 블록의 수를 기억한다.

회로부(1061)는 제95도에 도시된 바와 같이 접속된 NOR 회로군(1062), 인버터(1063), AND 회로군(1064) 및 NAND 회로군(1065)을 포함한다. 회로군(1041)로부터의 신호 HIT와 회로부(1051)로부터의 신호 SDB0~SDB3은 NOR 회로군(1062)에 공급된다. 컬럼 어드레스 비트 A19는 인버터(1063)에 공급된다. AND 회로군(1064)의 각 AND 회로에는 NOR 회로군(1062)의 대응 NOR 회로의 출력이 공급된다. NAND 회로군(1065)은 인버터(1063) 및 AND 회로군(1064)의 출력과 컬럼 어드레스 비트 A19에 기초하여 불량 출력 선택 데이터 비트 SDD0~SDD15을 출력한다.

불량 출력 선택 데이터 비트 SDD0~SDD15는 용장 회로(1022)내의 데이터 스위칭 회로(1026, 1027)에 공급된다.

데이터 스위칭 회로(1026)의 수요부에 대한 구성은 제90도에 도시된 것과 동일할 수 있다.

제96도는 배터 논리합 회로(1025)의 구성도이다. 데이터 스위칭 회로(1026)로부터의 데이터 비트 D0~D15 중에서 데이터 비트 D0~D7은 패리티 데이터 비트 PD1과 함께 배터 논리합 회로군 1073에 공급되고, 데이터 비트 D8~D15는 패리티 데이터 비트 PD2와 함께 배터 논리합 회로군(1074)에 공급된다. 배터 논리합 회로군(1073, 1074)은 제96도에 도시된 바와 같이 접속된 배터 논리합 회로로 구성된다.

신호 CD1은 배터 논리합 회로군(1073)으로부터 출력되고, 신호 CD2는 배터 논리합 회로군(1074)으로부터 출력된다. 이를 신호 CD1, CD2는 용장 회로(1022)내의 데이터 스위칭 회로(1027)에 공급된다.

제97도는 데이터 스위칭 회로(1027)의 주요부의 구성도이다. 데이터 스위칭 회로(1027)는 제97도에 도시된 바와 같이 접속되는 게이트 회로군(1076-0 내지 1076-15)을 포함한다. 각 게이트 회로군(1076-j)은 불량 출력 기억 회로(1023)로부터의 불량 출력 선택 데이터 비트 SDD0~SL) 015중의 대응 신호 비트 SDDj가 공급되는 인버터와, 배터 논리합 회로(1025)로부터의 신호 CD1 및 대응 신호 비트 SDDj가 공급되는 제1 NAND 회로와, 인버터의 출력과 대응 데이터 비트 MJ가 공급되는 제2 NAND 회로와, 제1 및 제2 NAND 회로의 출력이 공급되는 제3 NAND 회로를 포함하며, 데이터 비트 MJ를 제88도에 도시된 출력 버퍼(1024)에 공급한다(여기에서, ..., j=0, 7). 또, 각 게이트 회로군(1076-k)은 불량 출력 기억 회로(1023)로부터의 불량 출력 선택 데이터 비트 SDD1~SDD15중의 대응 신호 비트 SDDk가 공급되는 인버터와, 배터 논리합 회로(1025)로부터의 신호 CD2와 대응 신호 비트 SDDk가 공급되는 제1 NAND 회로와, 인버터의 출력과 대응 데이터 비트 MK가 공급되는 제2 NAND 회로와, 제1 및 제2 NAND 회로의 출력이 공급되는 제3 NAND 회로를 포함하며, 데이터 비트 MK를 제88도에 도시된 출력 버퍼(1024)에 공급한다(여기에서, k=8, ..., 15). 따라서, 불량 출력 비트 0만이 데이터 스위칭 회로(1027)에 의해 정정되며 다른 데이터 비트와 함께 출력 버퍼(1024)에 공급된다.

상술한 바와 같이 제8실시예에 따르면, 8개의 모든 메인 셀 어레이에 있어서 각각의 메인 셀 어레이로부터 얻어지는 1비트로 구성되는 총 8비트의 출력에 대하여 1비트의 패리티 데이터가 제공된다. 이러한 이유로, 배치는 제94도에 도시된 것에 한정되지 않으며 워드선이 3의 배수로 나누어질 수 있는 한에는 일의 배치가 이용될 수 있다. 그러므로, 워드선은 3의 배수인 셀 어레이(블록)의 단위로 나뉘어질 수 있다. 또, 불량 셀의 블록을 지정하기 위해 PROM 소자에 기입된 정보는 단일 워드선에 의해 공통으로 선택된 블록에 대한 정보일 수 있다.

다음으로 본 발명에 의한 반도체 메모리 장치의 제9실시예의 이해를 돋기 위해 제98도 내지 제101도를 참고로 하여 마스크 ROM의 제9구성예를 설명하기로 한다.

제98도는 마스크 ROM의 제9구성예를 배치도이다. 제98도에 도시된 마스크 ROM(1500)은 패드 및 배선부(1501), 주변 회로부(1502), 컬럼 디코더(1503), 로우 디코더(1504) 및 메모리 셀부(1505)를 포함한다. 어드레스 버퍼, 센스 증폭기, 용장회로, 출력 버퍼 등이 주변 회로부(1502)내에 제공된다. 메모리 셀부(1505)는 메인 셀 어레이 OUT1~OUT16 및 용장 패리티 셀 어레이 P1L, P1H, P2L 및 P2H를 포함한다.

제99도는 마스크 ROM(1500)의 용장 회로의 수요부를 도시한 것이다. 제99도에 도시된 용장 회로(1510)는

시험용 용장 어드레스 기억 회로(1511), 용장 어드레스 기억 회로(1512), 비교 일치 검출 회로(1513), 시험용 출력 기억 회로(1515), 출력 기억 회로(1516), 스위칭 출력 디코딩 회로(1517), 스위칭 회로(1518) 등을 포함한다.

예컨대, 시험용 용장 어드레스 기억 회로(1511)와 시험용 출력 기억 회로(1515)는 각각 SRAM으로 구성된다. 반면에, 용장 어드레스 기억 회로(1512)와 출력 기억 회로(1516)는 각각 프로그램 가능 퍼즈로 구성된다. 시험용 용장 어드레스 기억 회로(1511)와 시험용 출력 기억 회로(1515)는 실제로 용장 정보를 용장 어드레스 기억회로(1512)와 출력 기억회로(1516)에 기입하기 전에 동일한 정보를 기입함으로써 마스크 ROM(1500)의 동작을 검사하기 위한 목적으로 제공된다.

예컨대, 16 비트 패리티 용장 시스템이 사용되면, 4 비트 불량 어드레스 정보가 용장 어드레스 기억회로(1512)에 기억된다. 비교 일치 검출 회로(1513)는 입력 어드레스의 로우 어드레스 일부와 용장 어드레스 기억 회로(1512)로부터 판독된 불량 어드레스 정보를 비교하고, 2개의 비교된, 어드레스 정보가 일치하면 비교 일치 검출 신호를 스위칭 회로(1518)에 공급한다. 반면에, 치유를 메인 셀 어레이의 수(셀 평면)를 나타내고 용장 유무를 나타내는 정보는 예컨대, 4 비트로 출력 기억 회로(1516)에 기억된다. 스위칭 디코딩 회로(1517)는 출력 기억 회로(1516)로부터 판독된 정보를 디코딩하여, 불량 데이터 비트를 지정하는 스위칭 회로(1518)에 공급된다. 스위칭 회로(1518)는 비교 일치 검출 신호에 응답하여 스위칭 디코딩 회로(1517)로부터의 데이터를 출력한다.

또, 로우 디코드(1504)에 의해 입력 어드레스의 로우 어드레스를 디코딩함으로써 지정된 로우의 패리티 데이터 및 데이터는 메모리 셀부(1505)로부터 출력된다.

컬럼 디코더(1503)는 메모리 셀부(1505)로부터 출력된 데이터 및 패리티 데이터중 컬럼 어드레스를 디코딩함으로써 지정된 하나의 어드레스가 되는 데이터 비트 및 패리티 데이터 비트를 선택 및 출력한다. 데이터 비트 및 패리티 데이터 비트는 배타 논리합 회로(도시 생략)에 공급되며, 이 배타 논리합 회로의 출력은 데이터 스위칭 회로(도시 생략)에 공급된다. 컬럼 디코더(1503)를, 통해 메모리 셀부(1505)로부터 판독된 데이터 및 스위칭 회로(1518)로부터의 데이터 또한 이 데이터 스위칭 회로에 공급된다. 그러므로 데이터 스위칭 회로는 비교 일치 검출 회로(1513)가 2개의 어드레스 정보가 일치함을 검출하면 배타 논리합 회로의 출력에 응답하여 불량 데이터 비트를 대신하여 스위칭 회로(1518)로부터의 데이터를 선택 및 출력한다.

제100도 및 제101도는 마스크 ROM(1500)에서 치유될 수 있는 불량 출력을 설명하기 위한 도면이다.

제100도는 용장 회로(1510)에 필요한 용장 정보를 도시한다. 제100도에서 어드레스 비트 A1~A4는 용장 어드레스 기억 회로(1512)에 미리 기억되어 있으며, 치유될 메모리 셀부(1505)내의 위치의 어드레스를 표시한다. 또, 출력 비트 o1~o3은 용장 유무를 표시하고, 로우(L)측과 하이(H)측 상의 셀부분을 포함하여 치유를 메모리 셀부(1505)내의 메인 셀 어레이상의 수를 표시하는 플래그와 함께 출력 기억 회로에 미리 기억된다. 상술한 용장 정보는 마스크 ROM(1500)의 제조후에 행해지는 시험 결과에 따라 용장 어드레스 기억 회로(1512)와 출력 기억 회로(1516)에 미리 기억된다.

제100도에 도시된 용장 정보를 사용함으로써 제101a도~제101c도에 빛금친 부분으로 표시된 불량 출력을 치유할 수 있다. 편의를 도모하기 위해서 제101a도~제101c도에서 메모리 셀부(1505)내의 메모리 셀 어레이 OUT1 및/또는 메모리 셀 어레이 OUT9내에 불량이 존재하는 것으로 가정한다. 또, L은 컬럼 어드레스의 저레벨의 최하위 비트 LSB에 의해 선택된 메인 셀 어레이부를 나타내고, H는 예컨대, 컬럼 어드레스의 고레벨의 LSB에 의해 선택된 메인 셀 어레이부를 나타낸다. 제98도에 도시된 패리티 셀 어레이 P1L, P1H, P2L 및 P2H에 부가된 L과 H는 메인 셀 어레이부에 부가된 L과 H를 구비하는 메인 셀 어레이부와 대응하여 제시된다.

제101a도는 불량 출력이 메인 셀 어레이 OUT1과 메인 셀 어레이 OUT9의 상이한 로우 어드레스에서 치유되는 경우를 도시한다. 제101b도는 불량 출력이 메인 셀 어레이 OUT1과 메인 셀 어레이 OUT9의 동일한 로우 어드레스에서 치유되는 경우를 도시한다. 또, 제101c도는 불량 출력이 1로우 및 1컬럼에서 치유되는 경우를 도시한다. 따라서, 로우측의 3로우까지의 불량 출력과 컬럼측의 1로우의 불량 출력을 치유할 수 있다.

그러나, 용장 회로(1510)는 용장 어드레스 기억 회로(1511, 1512), 비교 일치 검출 회로(1513), 출력 기억 회로(1515, 1516), 스위칭 출력 디코딩 회로(1517), 스위칭 회로(1518), 배타 논리합 회로, 데이터 스위칭 회로 등을 포함하여, 용장 회로(1510)의 구성은 복잡하다. 또, 그들 회로부를 접속하기 위한 배선부를 제공하는 것이 필수적이다. 결국, 용장 회로(1510)와 배선부에 의해 절유되는 면적을 감소시키는 것이 어려우며, 마스크 ROM(1500)의 접적 밀도에 추가적인 개선을 기대할 수 없다.

또한, 하위측의 로우 디코더(1504)는 메모리 셀부(1505)의 패리티 셀 어레이 P1L, P1H, P2L 및 P2H와 메인 셀 어레이 OUT3, OUT11, OUT7, OUT15, OUT4, OUT12, OUT8 및 OUT16의 워드선을 구동시킨다. 이러한 이유로, 이 부분에서의 워드선의 길이는 상측의 로우 디코더(1504)에 의해 구동되는 워드선보다 길어지며, 보다 긴 워드선을 갖는 이 부분에서의 동작 속도는 다른 부분에서 보다 느려지게 된다.

다음으로 상술한 마스크 ROM의 제9구성예의 문제점을 제거할 수 있는 본 발명에 의한 반도체 메모리 장치의 제9실시예를 설명하기로 한다.

제102도는 제9실시예의 배치도이다. 제102도에서 마스크 ROM(2010)은 패드 및 배선부(2011), 주변 회로부(2012), 컬럼 디코더(2013), 로우 디코더(2014), 메모리 셀부(2015)를 포함한다. 주변 회로부(2012)는 어드레스 버퍼, 센스 증폭기, 용장회로, 출력 버퍼 및 후술하는 것들을 포함한다. 메모리 셀(2015)은 메인 셀 어레이 OUT1~OUT16 및 용장 패리티 셀 어레이 P1, P2를 포함한다.

컬럼 디코더(2013)는 복수의 컬럼 디코더 회로를 포함하고, 로우 디코더(2014)는 복수의 로우 디코디 회로를 포함한다. 패리티 셀 어레이 P1, P2에 대하여 제공되는 컬럼 디코더 회로 및 로우디코더 회로는 메인 셀 어레이 OUT1~OUT16에 대하여 제공되는 컬럼 디코더 회로와 로우 디코더 회로와는 무관하다. 그러나, 메인 셀 어레이 OUT1~OUT16에 대하여 제공되는 로우 디코더 회로와 무관한 로우 디코더 회로만이 패

리티 셀 어레이 P1, P2에 대하여 제공될 수 있다. 이 실시예에서 편의상 패리티 셀 어레이 P1이 메인 셀 어레이 OUT1~OUT8에 대하여 제공되며, 패리티 셀 어레이 P2가 메인 셀 어레이 OUT9~OUT16에 대하여 제공되는 것으로 가정한다.

제103도는 제102도에 도시된 마스크 ROM(2010)의 주요부를 도시한 것이다.

제103도에 도시된 마스크 ROM(2010)의 용장 회로(2020), 어드레스 버퍼(2021), 컬럼 디코더 회로에 의해 형성된 컬럼 디코더(2013), 로우 디코더 회로에 의해 형성된 로우 디코더(2014), 메모리 셀부(2015), 센스 증폭기(22), 바이트 버퍼(2030), 바이트 스위칭 회로(2031) 및 출력 버퍼(2032)를 포함한다. 편의상 메모리 셀부(2015), 컬럼 디코더(2013), 로우 디코더(2014) 및 센스 증폭기(2022)는 제103도에 도시된 바와 같이 각각 4 개의 부분으로 분할된다.

용장 회로(2020)는 시험용 용장 출력 기억 회로(2023), 용장 출력 기억 회로(2024), 스위칭 출력 디코더 회로(2025), 출력 스위칭 회로(2026, 2028) 및 정정 회로(2027, 2029)를 포함한다. 예컨대, 시험용 용장 출력 기억 회로(2023)는 SRAM으로 구성되며, 용장 출력 기억 회로(2024)는 프로그램 가능 퍼즈로 구성된다. 시험용 용장 출력 기억 회로(2023)는 실제로 용장 정보를 용장 출력 기억 회로(2024)에 기입하기 전에 동일 정보를 기입함으로써 마스크 ROM(2010)의 동작을 검사하기 위한 목적으로 제공된다.

어드레스버퍼(2021), 센스증폭기(2022), 용장회로(2020), 바이트버퍼(2030), 바이트 스위칭 회로(2031), 출력 버퍼(2032) 등은 제102도에 도시된 주변 회로(2012)내에 제공된다.

로우 디코더(2014)에 의해 입력 어드레스 비트 A0~A18의 로우 어드레스를 디코딩함으로써 지정된 로우(행)의 데이터 및 패리티 데이터는 메모리 셀부(2015)로부터 출력된다. 컬럼 디코더(2013)는 메모리 셀부(2015)로부터 출력된 데이터 및 패리티 데이터 중에서 컬럼 어드레스 디코딩에 의해 지정된 1 어드레스가 되는 데이터 비트 및 패리티 데이터 비트를 선택 및 출력한다. 컬럼 디코더(2013)로부터 출력된 데이터 비트 및 패리티 데이터 비트는 센스 증폭기(2022)를 통해 출력 스위칭 회로(2026, 2028)와 정정 회로(2027, 2029)에 공급된다. 특히, 데이터 비트 SOUT1~SOUT8은 출력 스위칭 회로(2026)에 공급되고, 데이터 비트 SOUT9~SOUT16은 출력 스위칭 회로(2028)에 공급된다. 또, 패리티 데이터 비트 PAR1은 정정 회로(2027)에 공급되며 패리티 데이터 비트 PAR2는 정정 회로(2029)에 공급된다.

제9실시예에서 제104도에 도시된 용장 정보는 용장 출력 기억 회로(1024)에 미리 기억된다. 제104도에 도시된 용장 정보는 4 비트, 즉, 용장유무 및 출력 비트

1/01~1/03을 표시하는 플래그 JF를 포함한다. 제105도에 도시된 바와 같이 출력비 1/01~1/03은 치유율 메인, 셀 어레이, 즉, 각 비트의 값에 따라 치유율 셀 평면의 수를 지정한다. 예컨대, 모든 출력 비트 1/01~1/03이 미면, 메인 셀 어레이 OUT1~OUT9의 쌍이 지정된다. 용장 정보는 마스크 ROM(2010)에 대하여 행해진 시험 결과에 따라 용장 출력 기억 회로(2024)에 미리 기억된다.

제106도는 스위칭 출력 디코딩 회로(2025)의 구성을 도시한 것이다. 제106도에서 용장 출력 디코더(2041)는 입력 어드레스 비트 A0~A8에 관계없이 출력 데이터 비트 S01~S016을 출력한다. 출력 데이터 비트 S01~S016중에서 출력 데이터 비트 S01~S08은 메인 셀 어레이 OUT1~OUT8중 하나의 용장 출력을 나타내며 출력 스위칭 회로(2026)에 공급된다. 또, 출력 데이터 비트 S09~S016은 메인 셀 어레이 OUT9~OUT16 중 하나의 용장 출력을 나타내며, 출력 스위칭 회로(2028)에 공급된다. 시험시에 용장 출력 디코더(2041)는 시험용 용장 출력 기억 회로(2023)로부터의 출력 비트 DJ0T1~DJ0T3에 기초하여 출력 데이터 비트 S01~S016을 출력한다.

제107도는 용장 회로(2020) 주요부의 구성도이다. 출력 스위칭 회로(2026)는 셀렉터 SEL1~SEL8을 포함한다. 셀렉터 SEL1은 흐출하는 정정 회로(2029)로부터의 신호 REVL에 따라 컬럼 디코더(2013)와 센스 증폭기(2022)를 통해 얻어지고, 메인 셀 어레이 OUT9~OUT16중의 입력 어드레스에 의해 지정된 메인 셀 어레이 OUT1로부터 판독된 출력 데이터 비트 SOUT1 와 스위칭 출력 디코딩 회로(2025)로부터 얻어진 출력 데이터 비트 S01중의 하나를 출력 비트 ER1로서 선택 및 출력한다(여기에서,  $i=1, \dots, 8$ ). 출력 비트 ER1은 정정 회로(2027) 및 스위칭 회로(2031)에 공급된다.

유사하게, 출력 스위칭 회로(2028)는 셀렉터 SEL9~SEL19를 포함한다. 셀렉터 SEJ는 흐출하는 정정 회로(2029)로부터의 신호 REVH에 따라 컬럼 디코더(2013)와 센스 증폭기(2022)를 통해 얻어지고, 메인 셀 어레이 OUT9~OUT16중의 입력 어드레스에 의해 지정된 메인 셀 어레이로부터 판독된 출력 데이터 비트 SOUTj 와 스위칭 출력 디코딩 회로(2025)로부터 얻어진 출력 데이터 비트 S0j중의 하나를 출력 비트 ERj로서 선택 및 출력한다(여기에서,  $j=9, \dots, 16$ ). 출력 비트 ERj는 정정 회로(2029) 및 스위칭 회로(2031)에 공급된다.

바이트 스위칭 회로(2031)는 스위칭 회로 SW1~SW8을 포함한다. 스위칭 회로 SW1은 셀렉터 SEL1, SEL9의 출력 데이터 비트 ER1, ER9를 수신하고, 스위칭 회로 SW2는 셀렉터 SEL2, SEL10의 출력 데이터 비트 ER2, ER10를 수신한다.

스위칭 회로 SW3은 셀렉터 SEL3, SEL11의 출력 데이터 비트 ER3, ER11를 수신하고, 스위칭 회로 SW4는 셀렉터 SEL4, SEL12의 출력 데이터 비트 ER4, ER12를 수신한다. 스위칭 회로 SW5는 셀렉터 SEL5, SEL13의 출력 데이터 비트 ER5, ER13를 수신하고, 스위칭 회로 SW6은 셀렉터 SEL6, SEL14의 출력 데이터 비트 ER6, ER14를 수신한다. 스위칭 회로 SW7은 셀렉터 SEL7, SEL15의 출력 데이터 비트 ER7, ER15를 수신하고, 스위칭 회로 SW8은 셀렉터 SEL8, SEL16의 출력 데이터 비트 ER8, ER16를 수신한다. 각각의 스위칭 회로 SW1~SW8은 출력 데이터 비트 ER1~ER16중에서 1 바이트로 되는 출력 데이터 비트 ER1~ER8만이 선택 및 출력되는 모드와, 2 바이트로 되는 모든 출력 데이터 비트 ER1~ER16이 출력되는 모드를 갖는다. 스위칭 회로 SW1~SW8의 모드는 신호 /BYTE에 의해 선택된다.

바이트 스위칭 회로(2031)로부터의 출력 데이터 비트 ER1~ER8 또는 ER1~ER16은 출력 버퍼(2032)에서 버퍼링된 후 출력된다.

제108a도는 정정 회로(2027)의 구성도이다. 정정 회로(2027)는 제108a도에 도시된 바와 같이 접속된 배

타 논리합 회로 EOR1~EOR8을 포함한다. 배타 논리합 회로 EOR1은 출력 스위칭 회로(2026)로부터 출력된 출력 비트 ER1, ER2를 수신하고, 배타 논리합 회로 EOR2는 출력 스위칭 회로(2026)로부터 출력된 출력 비트 ER3, ER4를 수신하고, 배타 논리합 회로 EOR3은 출력 스위칭 회로(2026)로부터 출력된 출력 비트 ER5, ER6를 수신하며, 배타 논리합 회로 EOR4는 출력 스위칭 회로(2026)로부터 출력된 출력 비트 ER7, ER8을 수신한다. 배타 논리합 회로 EOR1, EOR2의 출력은 배타 논리합 회로 EOR5에 공급되고, 배타 논리합 회로 EOR3, EOR4의 출력은 배타 논리합 회로 EOR6에 공급된다. 배타 논리합 회로 EOR5, EOR6의 출력은 배타 논리합 회로 EOR7에 공급된다. 또, 배타 논리합 회로 EOR7의 출력과 패리티 셀 어레이 P1로부터 판독되고 컬럼 디코더(2013)와 센스 증폭기(2022)를 통해 얻어진 패리티 데이터 비트 PAR1은 배타 논리합 회로 EOR8에 공급된다. 배타 논리합 회로 EOR8은 신호 REV1을 출력하고, 이 신호 REV1은 출력 스위칭 회로(2026)에 공급된다.

제1088도는 정정 회로(2029)의 구성도이다. 정정 회로(2029)는 제1088도에 도시된 바와 같이 접속된 배타 논리합 회로 EOR9~EOR16를 포함한다. 배타 논리합 회로 EOR9은 출력 스위칭 회로(2028)로부터 출력된 출력 비트 ER9, ER10을 수신하고, 배타 논리합 회로 EOR10은 출력 스위칭 회로(2028)로부터 출력된 출력 비트 ER11, ER12를 수신하고, 배타 논리합 회로 EOR11은 출력 스위칭 회로(2028)로부터 출력된 출력 비트 ER13, ER14를 수신하며, 배타 논리합 회로 EOR12는 출력 스위칭 회로(2028)로부터 출력된 출력 비트 ER15, ER16를 수신한다. 배타 논리합 회로 EOR9, EOR10의 출력은 배타 논리합 회로 EOR13에 공급되고, 배타 논리합 회로 EOR11, EOR12의 출력은 배타 논리합 회로 EOR14에 공급된다. 배타 논리합 회로 EOR13, EOR14의 출력은 배타 논리합 회로 EOR15에 공급된다. 또한, 배타 논리합 회로 EOR15의 출력과, 패리티 셀 어레이 P2로부터 판독되고 컬럼 디코더(2013) 및 센스 증폭기(2022)를 통해 얻어지는 패리티 데이터 비트 PAR2는 배타 논리합 회로 EOR16에 공급된다. 배타 논리합 회로 EOR16은 출력 스위칭 회로(2028)에 공급되는 신호 REV1을 출력한다.

출력 데이터 비트 SOUT1 내지 SOUT8과 관련하여, 출력 스위칭 회로(2026)는 메인 셀 어레이 OUT1 내지 OUT16으로부터의 입력 어드레스에 의해 지정되는 메인 셀 어레이 OUT1 내지 OUT3로부터 판독되고 컬럼 디코더(2013) 및 센스 증폭기(2022)를 통해 얻어지는 출력 데이터 비트 SOUT1 내지 SOUT8을 출력 데이터 비트 ER1 내지 ER8로서 정정 회로(2027)에 공급한다. 이 경우, 정정 회로(2027)는 출력 데이터 비트 SOUT1 내지 SOUT8과 패리티 데이터 비트 PAR1의 배타 논리합을 얻으며, 1 비트 불량이 존재하는 지의 여부를 표시하는 신호 REV1을 출력한다. 신호 REV1이 1 비트 불량을 표시할 경우, 출력 스위칭 회로(2026)는 메모리 셀부(2015)의 불량 출력 비트 SOUTj 대신에 스위칭 출력 디코딩 회로(2025)의 출력 비트 SOj를 출력 비트 ER1로서 바이트 스위칭 회로(2031)에 공급한다. 그 결과, 불량 출력 비트 SOUTj는 출력 비트 SOj로 정정되어 출력 비트 ER1로서 출력된다.

이와 유사하게, 출력 데이터 비트 SOUT9 내지 SOUT16과 관련하여, 출력 스위칭 회로(2028)는 메인 셀 어레이 OUT1 내지 OUT16으로부터의 입력 어드레스에 의해 지정되는 메인 셀 어레이 OUT9 내지 OUT16으로부터 판독되고 컬럼 디코더(2013) 및 센스 증폭기(2022)를 통해 얻어지는 출력 데이터 비트 SOUT9 내지 SOUT16을 출력 데이터 비트 ER9 내지 ER16로서 정정 회로(2029)에 공급한다.

이 경우, 정정 회로(2029)는 출력 데이터 비트 SOUT9 내지 SOUT16과 패리티 데이터 비트 PAR2의 배타 논리합을 얻으며, 1 비트 불량이 존재하는 지의 여부를 표시하는 신호 REV1을 출력한다. 신호 REV1이 1 비트 불량을 표시할 경우, 출력 스위칭 회로(2028)는 메모리 셀부(2015)의 불량 출력 비트 SOUTj 대신에 스위칭 출력 디코팅 회로(2025)의 출력 비트 SOj를 출력 비트 ERj로서 바이트 스위칭 회로(2031)에 공급한다. 그 결과, 불량 출력 비트 SOUTj는 출력 비트 SOj로 정정되어 출력 비트 ERj로서 출력된다.

제9실시예에 있어서, 편의상 메모리 셀부(2015)내의 메인 셀 어레이 OUT1 및/또는 메인 셀 어레이 OUT9에 불량이 있다고 가정하면, 불량 비트를 포함하는 메인 셀 어레이 OUT1, OUT9의 출력, 즉, 전체의 2 셀 평면의 출력은 제109도에 빙금 친 영부분으로 표시된 바와 같이 패리티 셀 어레이(P1, P2)의 출력으로 대체되어 치유된다. 제109도에서, L은 예컨대, 컬럼 어드레스의 저레벨 LSB에 의해 선택되는 메인 셀 어레이부를 표시하고, H는 예컨대, 컬럼 어드레스의 고레벨 LSB에 의해 선택되는 메인 셀 어레이부를 표시한다.

환연하면, 제101A도 내지 제101C도와 관련하여 상술한 바와 같이, 마스크 ROM의 제9 구성에는 1 불량이 지우를 경우에도 어드레스 비트 a1 내지 a4, 플래그 JF 및 출력 비트 i 내지 i3으로 구성되는 용장 정보를 필요로 한다. 그러나, 제9실시예에 따라 단 하나의 불량이 치유될 수 있다 하더라도, 제9 실시예에는 플래그 JF 및 출력 비트 i/01 내지 i/03으로 구성되는 4 비트 용장 정보만을 필요로 한다. 그 결과, 제9 실시예는 마스크 ROM의 제9구성에의 경우에 필수적인 소자를 즉, 시험용 용장 어드레스 기억 회로(1511), 용장 어드레스 기억 회로(1512), 비교 일치 검출회로(1513), 스위칭 회로(1518) 및 이들과 관련된 배선부를 필요로 하지 않는다. 따라서, 제9 실시예에 따른 용장 회로(2020)의 구성은 마스크 ROM의 제9 구성에 따른 용장 회로(1510)의 구성에 비해 간단하다.

또한 제102도에 있어서, 패리티 셀 어레이 P1, P2의 상측에 배타적으로 제공된 로우 디코더 회로는 메인 셀 어레이 OUT1 내지 OUT16에 대해서 하측에 제공된 2개의 로우 디코더 회로와는 무관하다. 이러한 이유로, 패리티 셀 어레이 P1, P2의 상측에 배타적으로 제공된 로우 디코더 회로에 의해 구동되는 워드선의 길이는 메인 셀 어레이 OUT1 내지 OUT16에 대해서 하측에 제공된 2개의 로우 디코더 회로에 의해 구동되는 워드선보다 길지 않게 된다. 결과적으로, 마스크 ROM(2010)의 동작 속도는 메모리 셀부(2015)의 여러 부분들의 속도와는 크게 다르지 않게 된다.

이어서, 본 발명에 따른 반도체 메모리 장치의 제10실시예의 이해를 돋기 위해 마스크 ROM의 제10 구성에 대해 설명하기로 한다.

제110도는 마스크 ROM의 제10구성에의 주요부를 도시하고 있다. 제110도에 도시된 마스크 ROM은 어드레스가 입력되는 어드레스 버퍼(3101), 메모리 셀부(3102), 컬럼 디코더(3103), 로우 디코더(3104), 센스 증폭부(3105), 배타 논리 합 회로(3106), 데이터 스위칭 회로(3107), 비교 일치 검출부(3108), 불량 출력 선택부(3109), 스위칭 회로(3110), 출력 버퍼(3111), 및 민버터 회로(3112)를 포함하고 있다.

컬럼 디코더(3103) 및 로우 디코더(3104)는 입력 어드레스의 컬럼 어드레스 및 로우 어드레스를 각각 디

코딩한다. 컬럼 디코더(3103)는 컬럼 어드레스를 디코딩하고 메모리 셀부(3102)의 컬럼을 선택한다. 로우 디코더(3104)는 로우 어드레스를 디코딩하고 메모리 셀부(3102)의 로우 측, 워드선을 선택한다.

메모리 셀부(3102)는 데이터 기억용 메모리셀과 패리티 데이터 비트 기억용 메모리 셀을 포함한다. 로우 디코더(3104)의 로우 어드레스의 디코딩에 의해 지정되는 로우의 데이터 및 패리티 데이터는 메모리 셀부(3102)로부터 출력된다. 컬럼 디코더(3103)는 데이터 비트 00 내지 015와, 메모리셀부(3102)로부터 출력되는 데이터 및 패리티 데이터 중에서 컬럼 어드레스의 디코딩에 의해 지정된 1개의 어드레스와 동일한 패리티 데이터 비트 P를 선택하여 출력한다. 패리티 데이터 비트 P는 센스 증폭부(3105)의 센스 증폭기를 통해 배터 논리합 회로(3106)에 공급되고, 데이터 비트 00 내지 015는 센스 증폭부(3105)의 센스 증폭기를 통해 데이터 스위칭 회로(3107)와 배터 논리합 회로(3106)에 공급된다.

입력 어드레스중에서 로우 어드레스의 일부는 또한 비교 일치 검출부(3108)에 공급된다. 이 비교 일치 검출부(3108)는 로우 어드레스의 일부가 미리 기억된 불량 어드레스(용장 어드레스)와 일치할 때 불량 출력선택부(3109)에 고레벨 비교 일치 신호 HIT를 공급하는 비교 일치 검출 회로(도시 생략)를 포함한다. 불량 어드레스는 마스크 ROM의 제조후에 실시된 시험 결과에 따라 비교 일치 검출부(3108)내의 메모리 수단(도시 생략)에 미리 기억되고, 비교 일치 검출 회로와 스위칭 회로(3110)에 공급된다.

불량 출력 선택부(3109)는 마스크 ROM의 제조후에 실시되는 시험의 결과에 따라 메모리 셀부(3102)의 불량 출력의 수와 관련된 불량 출력수 데이터를 미리 기억하는 메모리 수단(도시 생략)과, 불량 출력 선택부(3109)의 메모리 수단의 출력 신호에 기초하여 불량 출력, 즉, 불량 비트를 표시하는 불량 출력 선택 데이터를 데이터 스위칭 회로(3107)에 공급되는 수단(도시 생략)을 포함한다. 불량 출력 선택부(3109)로부터의 불량 출력 수 데이터는 스위칭 회로(3110)에 공급된다.

데이터 스위칭 회로(3107)는 배터 논리합 회로(3106)로부터 출력되는 패리티 검사 결과에 따라 불량 출력 선택부(3109)로부터의 불량 출력 선택 데이터에 의해 표시되는 불량 비트의 데이터를 정정하여 출력한다.

스위칭 회로(3110)는 신호 SRO1 저레벨일 경우 데이터 스위칭 회로(3107)로부터 수신된 데이터를 그대로 출력 버퍼(3111)에 공급하는 반면에, 신호 SRO1 고레벨일 경우, 스위칭 회로(3110)는 데이터 스위칭 회로(3107)로부터 공급되는 데이터에 관계없이 비교 일치 검출부(3108)로부터 공급된 불량 어드레스 데이터와 불량 출력 선택부(3109)로부터 공급된 불량 출력 수 데이터를 출력 버퍼(3111)에 출력한다.

신호 SR은 시그내춰 판독 모드를 표시한다. 시그내춰 판독 모드는 기억된 불량 어드레스와 불량 출력수가 판독되는 동작 모드이다.

센스 증폭부(3103)를 형성하는 각 센스 증폭기는 센스 증폭기 인에이블 신호 SE와 고레벨 기간 동안에만 활성화된다. 이 센스 증폭기 인에이블 신호 SE는 반전회로(3112)에 의해 마스크 ROM에 입력되는 첨 인에이블 신호 /CE를 반전시킴으로써 얻어진다. 첨 인에이블 신호 SE는 마스크 ROM의 동작을 인에이블 시킨다. 센스 증폭기 인에이블 신호 SE가 저레벨일 경우, 각 센스 증폭기는 대기 모드 상태로 들어가고, 각 센스 증폭기의 출력은 고레벨 상태로 고정된다.

출력 버퍼(3111)는 데이터 스위칭 회로(3107) 및 스위칭 회로(3110)로부터 출력되는 데이터 비트 00 내지 015를 버퍼링한다.

그러나, 마스크 ROM의 제10구성예에 의하면, 비교 일치 검출부(3108) 및 불량 출력 선택부(3109)로부터의 불량 출력수 데이터와 불량 어드레스를 스위칭 회로(3110)에 공급할 필요가 있기 때문에 불량 어드레스 및 불량 출력수 데이터에 대해 배선이 제공되어야 하는 문제점이 있었다. 그 결과, 용장 회로 및 배선부가 차지하는 영역을 감소시키기가 어려우며, 또한 마스크 ROM의 접적 밀도의 향상을 기대할 수 없다.

본 발명에 따른 반도체 메모리 장치의 제10 실시예는 마스크 ROM의 제10구성예의 이를 문제점을 해소한다.

먼저 제111도와 관련하여 제10실시예의 동작 원리에 대해 설명하기로 한다.

제111도에 있어서, 반도체 메모리 장치는 센스 증폭기 수단(3001), 데이터 스위칭 수단(3002), 논리 회로 수단(3003), 비교 일치 검출 수단(3004) 및 불량 출력 선택 수단(3005)을 포함한다.

활성 상태에서 센스 증폭기 수단(3001)은 메모리 셀부(도시 생략)로부터 판독된 출력 데이터를 증폭하고 이 증폭된 출력 데이터를 데이터 스위칭 수단(3002)에 공급하는 반면에, 불활성 상태에서 센스 증폭기 수단(3001)은 고정된 제1 논리 레벨을 갖는 출력 데이터를 데이터 스위칭 수단(3002)에 공급한다.

비교 일치 검출 수단(3004)은 입력 어드레스와 미리 기억된 불량 어드레스가 일치할 때 비교 일치 검출 신호를 불량 출력 선택 수단(3005)에 공급한다. 불량 출력 선택 수단(3005)은 비교 일치 검출 신호에 응답하여 불량 출력을 표시하는 미리 기억된 불량 출력 선택 데이터를 데이터 스위칭 수단(3002)에 공급한다.

논리 회로 수단(3003)은 시그내춰 판독 모드를 표시하는 모드 신호 SR에 기초하여 센스 증폭기 수단(3001)을 활성화시키는 제1 신호 SE를 센스 증폭기 수단(3001)에 공급한다. 시그내춰 판독 모드에서 비교 일치 검출 수단(3004)에 기억된 불량 어드레스 데이터 및 불량 출력 검출 수단(3005)에 기억된 불량 출력수 데이터가 판독된다. 또한, 논리 회로 수단(3003)은 모드 신호 SR에 기초하여 패리티 검사 결과를 표시하는 제2 신호와, 메모리 셀부로부터 판독된 패리티 데이터 및 출력 데이터를 데이터 스위칭 수단(3002)에 공급한다.

논리 회로 수단(3003)은 모드 신호 SR에 기초하여 제1 신호 SE와 반도체 메모리 장치의 동작을 인에이블 시키는 첨 인에이블 신호 /CE를 발생시키는 NOR 회로(3025)를 포함할 수 있다.

소자(01 내지 06, R, 3051, 3052)를 포함하고 제1 및 제2 전원 전압 Vcc 및 Vss에 접속되어 제1 전원 전압 Vcc보다 큰 전압을 갖는 첨 인에이블 신호 /CE에 기초하여 모드 신호 SR을 발생시키는 회로가 추가로

제공될 수 있다. 여기에서 제1 전원 전압  $V_{CC}$ 는 제2 전원 전압  $V_{SS}$ 보다 크다.

논리 회로 수단(3003)은 메모리 셀부로부터 판독된 패리티 데이터 및 출력 데이터에 기초하여 패리티 검사 결과를 출력하는 배타 논리합 회로(3016)와, 패리티 검사 결과에 기초하여 제2 신호 및 모드 신호 SR의 반전 신호를 발생시키는 AND 회로(3021)를 포함할 수 있다.

또한, 비교 일치 검출 수단(3004)은 불량 어드레스를 미리 기억하는 제1 메모리 수단(3181, 3182)을 포함하고, 불량 출력 선택 수단(3005)은 불량 출력을 미리 기억하는 제2 메모리 수단(3191, 3192)을 포함하여, 제1 및 제2 메모리 수단(3181, 3182, 3191, 3192)은 시험을 위해 배타적으로 사용되는 재기입 가능한 메모리 회로 수단(3182, 3192)을 포함할 수 있다.

논리 회로 수단(3003)은 모드 신호 SR이 입력될 때 제1 논리 레벨과 반대인 제2 논리 레벨을 갖는 제2 신호를 데이터 스위칭 수단(3002)에 공급한다.

또한, 불량 출력 선택 수단(3005)으로부터의 불량 출력 선택 데이터에 의해 표시되는 불량 비트와 관련하여, 데이터 스위칭 수단(3002)은 센스 증폭기 수단(3001)으로부터의 출력 데이터 대신에 논리 회로 수단(3003)으로부터의 제2 신호를 출력한다.

그 결과, 입력 어드레스가 용장 어드레스와 일치할 경우에만 다른 출력과 상이한 논리 레벨이 불량 출력으로서 기억되는 불량 출력에 대해서만 출력된다. 이러한 이유로, 데이터 스위칭 수단(3002)의 출력 데이터 및 입력 어드레스로부터의 불량 출력 및 불량 어드레스의 내용을 알 수 있다.

논리 회로 수단(3003)이 모드 신호 SR에 기초하여 제1 신호 SE와 반도체 메모리 장치의 동작을 인에이블 시키는 퀼 인에이블 신호 /CE를 발생시키는 NOR 회로(3025)를 포함하면, 센스 증폭기 수단(3001)을 간단한 회로에 의해 제어할 수 있다.

소자(01~06, R, 3051, 3052)를 구비하고 제1 및 제2 전원 전압  $V_{CC}$  및  $V_{SS}$ (여기에서, 제1 전원 전압  $V_{CC}$ 는 제2 전원 전압  $V_{SS}$ 보다 크다)에 접속되는 회로가 전원이 제1 전원 전압  $V_{CC}$ 보다 큰 퀼 인에이블 신호 /CE에 기초하여 모드 신호 SR를 발생하기 위해 추가로 제공되면, 반도체 메모리 장치의 단자(핀)의 것 수를 증가시키지 않고도 외측으로부터 시그내춰 판독 모드를 지정할 수 있다.

논리 회로 수단(3003)이 메모리 셀부로부터 판독된 패리티 데이터 및 출력 데이터에 기초한 패리티 검사 결과치를 출력하기 위한 배타 논리합 회로(3016)와, 모드 신호 SR의 반전 신호 및 패리티 검사 결과에 따른 제2신호를 발생하기 위한 AND 회로(3021)를 구비하면, 반도체 메모리 장치의 구성은 간단해진다.

또한, 비교 일치 검출 수단(3004)이 불량 어드레스를 미리 기억하기 위한 제1 메모리 수단(3181, 3182)을 포함하고, 불량 출력 선택 수단(3005)이 불량 출력을 사전 기억하기 위한 제2 메모리 수단(3191, 3192)을 구비하고, 제1 및 제2 메모리 수단(3181, 3182, 3191, 3192)이 시험용으로 배타적으로 사용되는 재기입 가능한 메모리 수단(3182, 3192)을 포함하는 경우, 재기입 가능한 메모리 회로 수단(3182, 3192)을 선택적으로 사용할 수 있다.

따라서, 이 제10 실시예에 따르면, 마스크 ROM의 제10 구성예의 경우에 있어서 필수적인 스위칭 회로 및 이 스위칭 회로에 대한 배선부를 제공할 필요가 없다. 그 결과, 용장 회로 및 배선부가 점유하는 영역을 감소시킬 수 있으므로 반도체 메모리 장치의 절적 밀도가 더욱 향상될 수 있다.

제112도는 본 발명에 따른 반도체 메모리 장치의 제10 실시예의 주요부를 도시한 것이다. 제112도에 도시된 마스크 ROM(3010)은 어드레스가 입력되는 어드레스 버퍼(3011), 메모리 셀부(3012), 퀼럼 디코더(3013), 로우 디코더(3014), 센스 증폭기부(3015), 배타 논리합 회로(3016), 데이터 스위칭 회로(3017), 비교 일치 검출부(3018), 불량 출력 선택부(3019), 출력 버퍼(3021), NOR 회로(3025), 인버터 회로(3026, 3028) AND 회로(3027)를 포함한다. 비교 일치 검출부(3018)는 퓨즈로 구성된 불량 어드레스 기억 회로(3181)와 SRAM으로 구성된 불량 어드레스 기억 회로(3182)를 포함한다. 또한, 불량 출력 선택부(3019)는 퓨즈로 구성된 불량 출력 기억 회로(3191), SRAM으로 구성된 불량 출력 기억 회로(3192) 및 불량 출력 선택 회로(3193)를 포함한다.

배타 논리합 회로(3016), NOR 회로(3025), 인버터 회로(3026) 및 AND 회로(3027)는 제111도에 도시된 논리 회로 수단(3003)에 대응된다.

퀄럼 디코더(3013) 및 로우 디코더(3014)는 예컨대, 입력 어드레스 비트 A0~A19의 퀼럼 어드레스 비트 A0~A7 및 로우 어드레스 비트 A8~A19를 각각 디코딩한다. 퀼럼 디코더(3013)는 퀼럼 어드레스 비트 A0~A7을 디코딩하고, 메모리 셀부(3012)의 퀼럼을 선택한다. 로우 디코더(3014)는 로우 어드레스 비트 A8~A19를 디코딩하고, 메모리 셀부(3012)의 로우, 즉, 워드선을 선택한다.

메모리 셀부(3012)는 데이터 기억용 메모리 셀과 패리티 데이터 기억용 메모리 셀을 포함한다. 로우 디코더(3014)에서 로우 어드레스 비트(A8~A19)를 디코딩함으로써 지정된 로우의 데이터 및 패리티 데이터는 메모리 셀부(3012)로부터 출력된다. 퀼럼 디코더(3013)는 메모리 셀부(3012)에서 출력되는 데이터 및 패리티 데이터 중에서 퀼럼 어드레스 비트 A0~A7을 디코딩함으로써 지정되는 1개의 어드레스에 해당하는 데이터 비트 00~015 및 패리티 데이터 비트 P를 선택 및 출력한다.

패리티 데이터 비트 P는 센스 증폭기부(3015)의 센스 증폭기를 통해 배타 논리합 회로(3016)에 공급되고, 데이터 비트 00~015는 센스 증폭기부(3015)의 센스 증폭기를 통해 배타 논리합 회로(3016) 및 데이터 스위칭 회로(3017)에 공급된다.

입력 어드레스 비트 A0~A19중에서 로우 어드레스의 일부인 비트 A16~A19는 비교 일치 검출부(3018)의 비교 일치 검출 회로(3183)에 공급된다. 로우 어드레스 비트 A16~A19가 불량 어드레스 기억 회로(3181 또는 3182)에 미리 기억된 불량 어드레스 비트(용장 어드레스 비트)와 일치할 경우, 비교 일치 검출 회로(3183)는 고레벨의 비교 일치 검출 신호 HIT를 불량 출력 선택부(3019)의 불량 출력 선택 회로(3191)에 공급한다. 마스크 ROM(3010)의 제조후 행해지는 시험 결과에 따라 불량 어드레스 비트는 불량 어드레스 기억 회로(3181 또는 3182)에 미리 기억되고, 비교 일치 검출 회로(3183)에 공급된다.

불량 출력 선택부(3019)내의 불량 출력 기억 회로(3191, 3192)는 마스크 ROM(3010)의 제조후 행해지는 시험 결과에 따라 메모리 셀부(3012)의 불량 출력수를 미리 기억한다. 불량 출력 선택 회로(3193)는 불량 출력 기억 회로(3191 또는 3192)의 출력에 기초하여 비교 일치 검출 회로(3183)로부터의 비교 일치 검출 신호 HIT에 따라 불량 출력, 즉, 불량 비트를 표시하는 불량 출력 선택 데이터를 출력한다. 불량 출력 선택 회로(3193)로부터의 불량 출력 선택 데이터는 데이터 스위칭 회로(3017)에 공급된다.

선택 신호 SEL은 상기 기억 회로(3181, 3191)에 직접 공급되고, 또한 인버터 회로(3028)를 통해 상기 기억 회로(3182, 3192)에도 공급된다. 따라서, 상기 기억 회로(3181, 3191)의 출력 또는 상기 기억 회로(3182, 3192)의 출력은 선택 신호 SEL의 레벨에 따라 비교 일치 검출 회로(3183) 및 불량 출력 선택 회로(3193)에 각각 공급된다.

센스 증폭기부(3013)의 각 센스 증폭기는 활성화 되어 NOR 회로(3025)의 마스크 ROM(3010)에 입력되는 시그내춰 판독 신호 SR 및 침 인에이블 신호 /CE의 논리합을 취함으로써 얻어지는 센스 증폭기 인에이블 신호 SE의 고레벨 기간 동안에만 동작한다. 침 인에이블 신호 /CE는 마스크 ROM(3010)의 동작을 인에이블 시킨다. 센스 증폭기 인에이블 신호 SE가 저레벨에 있는 경우, 각 센스 증폭기는 대기 모드로 들어가고 그 출력은 고레벨로 고정된다.

데이터 스위칭 회로(3017)는 AND 회로(3027)를 통해 배타 논리합 회로(3016)에서 출력되는 패리티 검사 결과치와 불량 출력 선택 회로(3193)에서 출력되는 불량 출력 선택 데이터를 수신한다. 따라서, 고레벨의 비교 일치 검출 신호 HIT가 비교 일치 검출 회로(3183)로부터 불량 출력 선택 회로(3193)에 공급되면, 데이터 스위칭 회로(3017)는 AND 회로(3027)의 출력에 기초하여 센스 증폭기부(3015)에서 출력되는 데이터 비트 00~015의 불량 비트를 정정 및 출력한다.

시그내춰 판독 신호 SR은 인버터 회로(3026)를 통해 AND 회로(3027)에 공급된다. 따라서, 시그내춰 판독 신호 SROI 시그내춰 판독 모드를 나타내는 고레벨을 갖는 경우, 저레벨 신호가 AND 회로(3027)로부터 데이터 스위칭 회로(3017)에 공급된다.

출력 버퍼(3021)는 데이터 스위칭 회로(3017)에서 출력되는 데이터 비트 00~015를 버퍼링한다.

즉, 시그내춰 판독 신호 SROI 고레벨을 갖는 경우, 센스 증폭기부(3015)의 각 센스 증폭기는 대기 모드에 있고 그 출력 데이터는 고레벨로 고정된다. 반면에, 시그내춰 판독 신호 SROI 고레벨을 가지므로, 저레벨 신호가 AND 회로(3027)로부터 데이터 스위칭 회로(3017)에 공급된다. 그러나, 입력 어드레스 및 불량 어드레스가 일치되어 고레벨의 비교 일치 검출 신호 HIT가 비교 일치 검출 회로(3183)에서 출력되면, 대응하는 불량 출력 선택 데이터는 불량 출력 선택 회로(3193)로부터 데이터 선택 회로(3017)에 공급된다. 따라서, 불량 출력 비트에 대해, 데이터 스위칭 회로(3017)는 센스 증폭기부(3015)의 센스 증폭기의 고레벨 출력 데이터 비트 대신에 AND 회로(3027)로부터의 저레벨 신호를 출력한다. 그러므로, 출력 데이터 및 입력 어드레스로부터의 불량 출력과 불량 어드레스의 내용을 알 수 있다.

어드레스 버퍼(3011), 메모리 셀부(3012), 퀼럼 디코더(3013), 로우 디코더(3014), 센스 증폭기부(3015), 배타 논리합 회로(3016), 데이터 스위칭 회로(3017), 비교 일치 검출부(3018), 불량 출력 선택부(3019), 출력 버퍼(3021) 등의 구성은 제103도 및 제107도에 도시된 마스크 ROM의 제10 구성예의 경우와 동일하므로 그 도시 및 설명은 생략한다.

이 제10 실시예에서, 재기입 가능한 기억 회로(3182, 3192)는 시험용으로 배타적으로 제공된다. 그러나, 불량 어드레스 기억용 수단 및 불량 출력 기억용 수단이 제공되면 불량 메모리 셀을 치유할 수 있다.

제10 실시예의 배치가 제113도에 도시된다. 제113도에 도시된 바와 같이, 마스크 ROM(3010)은 패드 및 배선부(3041), 주변 회로부(3042), 퀼럼 디코더(3013), 로우 디코더(3014), 메인 셀부(3045) 및 패리티 셀부(3046)를 포함한다.

메인 셀부(3045)는 메인 어레이 OUT1~OUT16를 포함하고, 퀼럼 디코더(3013)는 메인 셀 어레이 OUT1~OUT6에 대응하는 배열을 갖는 다수의 퀼럼 디코더 회로를 포함한다. 또한, 로우 디코더(3014)는 8개의 메모리 셀 어레이(8 평면)를 지나는 워드선을 구동시키도록 배열되는 다수의 로우 디코더 회로를 포함한다. 패리티 셀부(3046)는 패리티 데이터를 기억하는 유팡 패리티 셀을 포함한다. 메인 셀부(3045) 및 패리티 셀부(3046)는 제112도에 도시된 메모리 셀부(3012)를 형성한다.

제112도에 도시된 센스 증폭기부(3015), 배타 논리합 회로(3016), 데이터 스위칭 회로(3017), 비교 일치 검출부(3018), 불량 출력 선택부(3019), 출력 버퍼(3021) 등이 제113도에 도시된 주변 회로부(3042)내에 제공된다.

제114도는 제112도에 도시된 시그내춰 판독 신호 SR 및 침 인에이블 신호 /CE를 발생시키기 위한 회로의 구성을 도시한 것이다. 이 회로는 제113도에 도시된 주변 회로부(3042)내에 제공된다.

제114도에 도시된 회로는 도시된 바와 같이 전속된 트랜지스터 Q1~Q6, 저항 R, 입력 버퍼(3051) 및 NOR 회로(3052)를 포함한다. 전원 전압 VCC는 전원 전압 VSS보다 높게 설정된다. 침 인에이블 패드(3053)는 제113도에 도시된 패드 및 배선부(3041)내에 제공된다.

마스크 ROM(3010)의 동작모드가 시그내춰 판독 모드로 되면, 전원 전압 VCC보다 높은 전압이 외측으로부터 침 인에이블 패드(3053)에 침 인에이블 신호 /CE로서 인가된다. 이 경우에, 고레벨의 시그내춰 판독 신호 SROI 단자(3054)로부터 출력되고 저레벨의 침 인에이블 신호 /CE가 단자(3055)로부터 출력된다. 반면에, 저레벨의 침 인에이블 신호 /CE가 외측으로부터 침 인에이블 패드(3053)에 인가되면, 저레벨의 시그내춰 판독 신호 SROI 단자(3054)에서 출력되고 저레벨의 침 인에이블 신호 /CE가 단자(3055)에서 출력된다.

따라서, 전원 전압 VCC보다 높은 전압을 외측으로부터 기존의 침 인에이블 패드(3053)에 침 인에이블 신호 /CE로서 인가함으로써, 마스크 ROM(3010)의 단자(핀) 수를 증가시키지 않고도 외측으로부터 시그내춰 판독 모드를 지정할 수 있다.

제115도는 1비트에 대해 제112도에 도시된 불량 출력 기억 회로(3181 또는 3191)의 기억 회로의 구성을 도시한 것이다. 이 기억 회로는 제115도에 도시된 바와 같이 접속된 트랜지스터 Q11~Q16 및 퓨즈 F를 포함한다. 전원 전압 VCC는 전원 전압 VSS보다 높게 설정된다. 칩 인에이블 신호 OE가 단자(3061)에 인가되는 경우 단자(3062)에서 출력되는 신호 레벨(기억된 데미타값)은 퓨즈 F의 절단 여부에 따라 달라진다. 따라서, 이와 같은 기억 회로를 사용함으로써, 미리 기억된 불량 어드레스를 비교 일치 검출 회로(3183)에 공급할 수 있고, 미리 기억된 불량 출력을 불량 출력 선택 회로(3193)에 공급할 수 있다.

또한, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 범주를 이탈함이 없이 다양한 변경 및 수정이 가능하다.

#### (57) 청구의 범위

##### 청구항 1

활성 및 비활성 레벨을 각각 가지며 이를 신호 레벨 사이에서 천이 가능한 칩인에이블 신호와 어드레스 신호를 수신하는 입력 단자와, 상기 입력 단자에 결합되어 상기 칩 인에이블 신호에 응답하는데, 상기 칩 인에이블 신호의 비활성 레벨에 응답하여 비가동 상태로 되고 상기 칩 인에이블 신호의 활성 레벨에 응답하여 가동 상태로 되는 제어 회로와, 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이한 후, 상기 어드레스 신호의 레벨에 관계없이 반도체 메모리 장치의 출력을 동일한 시간 간격을 두고 발생시키는 대응 제어 신호를 발생하는 제어 신호 발생 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 2

활성 및 비활성 레벨을 각각 가지며 이를 신호 레벨 사이에서 천이 가능한 칩인에이블 신호와 어드레스 신호를 수신하는 입력 단자와, 상기 입력 단자에 결합되어 상기 칩 인에이블 신호에 응답하는데, 상기 칩 인에이블 신호의 비활성 레벨에 의해 비가동 상태로 되고 상기 칩 인에이블 신호의 활성 레벨에 의해 가동 상태로 되는 제어 회로와, 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이할 때, 소정의 펄스 폭을 갖는 칩 인에이블 펄스 신호를 출력으로 생성하여 발생하는 칩 인에이블 펄스 신호 발생 회로와, 상기 어드레스 신호가 제1 및 제2 레벨중에서 제1 레벨을 가질 때 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이하는 경우 소정의 펄스 폭을 갖는 어드레스 펄스 신호를 발생하고, 상기 어드레스 신호가 제2 레벨을 가질 때 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이하는 경우 어드레스 펄스 신호를 발생하지 않는 어드레스 펄스 신호 발생 회로와, 상기 어드레스 신호가 제1 레벨을 가질 때, 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이하는 경우 상기 어드레스 펄스 신호가 통과하지 못하도록 상기 어드레스 펄스 신호 발생 회로로부터 출력된 어드레스 펄스 신호의 통과를 제어하는 출력을 생성하는 어드레스 펄스 신호 통과 제어 회로와, 상기 어드레스 펄스 신호 통과 제어 회로 및 상기 칩 인에이블 펄스 신호 발생 회로의 각각의 출력의 논리합으로 이루어진 제어 신호를 발생하는 제어 신호 발생 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 3

제2항에 있어서, 상기 어드레스 펄스 신호 통과 제어 회로는 상기 칩 인에이블 신호 및 상기 칩 인에이블 신호에 대하여 소정의 시간만큼 지연된 칩 인에이블 신호에 기초하여 어드레스 펄스 신호 통과 제어 신호를 발생하고, 상기 어드레스 펄스 신호 통과 제어 신호에 기초하여 상기 어드레스 펄스 신호 발생 회로로부터 출력된 상기 어드레스 펄스 신호의 통과를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 4

제2항에 있어서, 상기 어드레스 펄스 신호 통과 제어 회로는 상기 칩 인에이블 펄스 신호 및 상기 칩 인에이블 펄스 신호에 대하여 소정의 시간만큼 지연된 칩 인에이블 펄스 신호에 기초하여 어드레스 펄스 신호 통과 제어 신호를 발생하고, 상기 어드레스 펄스 신호 통과 제어 신호에 기초하여 상기 어드레스 펄스 신호 발생 회로로부터 출력된 어드레스 펄스 신호의 통과를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 5

제2항에 있어서, 상기 어드레스 펄스 신호 통과 제어 회로는 상기 칩 인에이블 펄스 신호 및 상기 어드레스 펄스 신호에 기초하여 어드레스 펄스 신호 통과 제어 신호를 추가로 발생하고, 상기 어드레스 펄스 신호 통과 제어 신호에 기초하여 상기 어드레스 펄스 신호 발생 회로로부터 출력된 어드레스 펄스 신호의 통과를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 6

활성 및 비활성 레벨을 각각 가지며 이를 신호 레벨 사이에서 천이 가능한 칩인에이블 신호와 어드레스 신호를 수신하는 입력 단자와, 상기 입력 단자에 결합되어 상기 칩 인에이블 신호에 응답하는데, 상기 칩 인에이블 신호의 비활성 레벨에 의해 비가동 상태로 되고 상기 칩 인에이블 신호의 활성 레벨에 의해 가동 상태로 되는 제어 회로와, 상기 칩 인에이블 신호가 비활성 레벨에서 활성 레벨로 천이할 때, 소정의 펄스 폭을 갖는 칩 인에이블 펄스 신호를 출력으로 생성하여 발생하는 칩 인에이블 펄스 신호 발생 회로와, 상기 칩 인에이블 신호가 상기 비활성 레벨에서 상기 활성 레벨로 천이할 때 상기 어드레스 신호의 레벨에 관계없이 어드레스 펄스 신호를 출력으로 생성하여 발생하는 어드레스 펄스 신호 발생 회로와, 상기 어드레스 펄스 신호 발생 회로 및 상기 칩 인에이블 펄스 신호 발생 회로의 각각의 출력의 논리합 연산을 실행할으르써 대응 제어 신호를 발생하는 제어 신호 발생 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 7

제6항에 있어서, 상기 어드레스 펄스 신호 발생 회로는 상기 칩 인에이블 신호가 상기 비활성 레벨에서

상기 활성 레벨로 천이할 때 상기 입력 단자에 의해 수신되는 상기 어드레스 신호 및 이 어드레스 신호로부터 반전된 반전 어드레스 신호에 기초하여 어드레스 필스 신호를 발생하는 수단을 포함하여, 상기 어드레스 신호 및 상기 반전 어드레스 신호는 상기 침 인에이블 신호의 상기 천이를 시간 지연시켜서 설정되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 8

소정의 어드레스 신호를 수신하는 어드레스 버퍼(241)를 포함하는 반도체 메모리 장치에 있어서, 상기 어드레스 버퍼로부터 연속하여 출력되는 소정의 어드레스 신호를 연속하여 기억하는 제1~제n 어드레스 기억 회로(242, 243)와, 상기 제1~제n 어드레스 기억 회로에 대응하게 제공되고 상기 제1~제n 어드레스 기억 회로로부터 출력된 소정의 어드레스 신호를 디코딩함으로써 데이터는 제1~제n 메모리 영역(237~240)과, 상기 제1~제n의 메모리 영역으로부터 판독되는 데이터를 연속적으로 스위칭하여 출력하는 출력 스위칭 회로(254)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 9

제8항에 있어서, 상기 제1~제n 어드레스 기억 회로(242, 243)의 기억 제어 및 상기 출력 스위칭 회로(254)의 출력 스위칭 제어는 상기 소정의 어드레스 신호와는 상이한 어드레스 신호에 기초하여 수행되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 10

소정의 어드레스 신호에 의해 표시되는 어드레스값인 초기값으로부터 연속하여 증가 또는 감소시킴으로써 어드레스값을 표시하는 어드레스 신호를 출력하는 어드레스 카운터(273)와, 상기 어드레스 카운터로부터 출력되는 어드레스 신호를 연속하여 기억 및 출력하는 제1~제n 어드레스 기억 회로(274~275)와, 상기 제1~제n 어드레스 기억 회로에 대응하고 상기 제1~제n 어드레스 기억 회로로부터 출력되는 어드레스 신호를 디코딩함으로써 데이터가 판독되어지는 제1~제n의 메모리 영역(237~240)과, 상기 제1~제n 메모리 영역으로부터 판독되는 데이터를 연속적으로 스위칭하여 출력하는 출력 스위칭 회로(254)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 11

제10항에 있어서, 상기 제1~제n의 어드레스 기억 회로(274, 275)의 기억 제어 및 상기 출력 스위칭 회로(254)의 출력 스위칭 제어는 상기 소정의 어드레스 신호와는 상이한 어드레스 신호에 기초하여 수행되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 12

어드레스 신호의 천이를 나타내는 어드레스 천이 신호를 발생시키는 어드레스 천이 신호 발생 회로와, 데이터를 기억하는 메모리 영역과, 상기 메모리 영역으로부터 판독되는 데이터를 증폭시키는 센스 증폭기를 포함하는 반도체 메모리 장치에 있어서, 상기 센스 증폭기(94)로부터 출력되는 센스 증폭기 출력을 판독 및 래치하는 센스 증폭기 출력 래치 회로(276)와, 전원이 단온될 때 래치 동작 상태로 되지 않고 판독 동작 상태로 되도록 상기 센스 증폭기 출력 래치 회로를 제어하는 센스 증폭기 출력 래치 제어 회로(277, 278)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 13

제12항에 있어서, 상기 센스 증폭기 출력 래치 제어 회로(277, 278)는 상기 어드레스 신호가 소정 시간동안 천이되지 않는 경우 상기 센스 증폭기 출력 래치 회로의 상기 래치 동작 상태를 해제하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 14

출력 데이터를 출력하는 메인 셀 어레이(3100~31015)와, 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스 신호와 일치할 때에 상기 메인 셀 어레이의 출력 데이터 중에서 의의 데이터 값을 갖는 출력 데이터의 컬럼 어드레스를 기억하는 용장 어드레스 기억 회로(316)와, 상기 용장 어드레스 기억 회로내에 배치된 1비트 기억 회로(제51도)를 포함하는 반도체 메모리 장치에 있어서, 상기 1비트 기억 회로는 제1 및 제2 접점과 제어 단자를 구비하고, 판독 그동작중에 상기 제1 접점에는 고전압축 전원이 결합되며 상기 제어 단자에 저전위가 인가될 때에는 도통되고 상기 제어 단자에 그전위가 인가될 때에는 도통되지 않는 제1 스위칭 소자(352)와, 제1 및 제2 접점과 제어 단자를 구비하고, 판독 그동작중에 상기 제1 접점에는 고전압축 전원이 결합되며 상기 제어 단자에 저전위가 인가될 때에는 도통되고 상기 제어 단자에 고전위가 인가될 때에는 도통되지 않는 제2 스위칭 소자(353)와, 제1 단부가 상기 제1 스위칭 소자의 제2 접점 및 제2 스위칭 소자의 제어 단자에 결합되고 제2 단부가 저전압축 전원에 결합되어 있는 제1 퓨즈(355)와, 제1 단부가 상기 제2 스위칭 소자의 제2 접점 및 상기 제1 스위칭 소자의 제어 단자에 결합되고 제2 단부가 상기 저전압축 전원에 결합되어 있는 제2 퓨즈(356)를 포함하고, 상기 제1 퓨즈 또는 제2 퓨즈를 절단함으로써 상기 제2 스위칭 소자의 제2 접점을 통해 출력이 얻어지도록 구성된 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 15

어드레스 신호를 수신하기 위한 수단을 포함하는 반도체 메모리 장치에 있어서, 출력 데이터를 정정하는 출력 정정 회로(320)와, 용장 어드레스 기억 회로(316)를 포함하고, 상기 용장 어드레스 기억 회로는 상기 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스와 일치하는 경우 의의 데이터값을 갖는 출력 데이터의 컬럼 어드레스를 공급하고, 상기 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스와 상이한 경우 그 출력을 고임피던스 상태로 되게 하는 기억 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 16**

출력 데이터를 출력하는 메인 셀 어레이(3100~31015)와, 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스 신호와 일치할 때에 상기 메인 셀 어레이의 출력 데이터 중에서 의의 데이터 값을 갖는 출력 데이터의 컬럼 어드레스를 기억하는 용장 어드레스 기억 회로(316)와, 상기 용장 어드레스 기억 회로내에 배치된 1-비트 기억 회로(제56도, 제57도)를 포함하는 반도체 메모리 장치에 있어서, 상기 1-비트 기억 회로는 소스와, 판독시 고전압측 전원에 결합되는 드레인 및 제어 게이트를 구비하고 전기적으로 기입 가능한 제1 비휘발성 메모리 셀 트랜지스터(379)와, 저전압측 전원에 결합된 소스와, 판독시 상기 제1 비휘발성 메모리 셀 트랜지스터의 소스에 결합되는 드레인 및 제어 게이트를 구비하고, 전기적으로 기입 가능한 제2 비휘발성 메모리 셀 트랜지스터(380)를 포함하며, 상기 제1 또는 제2 비휘발성 메모리 셀 트랜지스터에 기입을 행함으로써 상기 제1 비휘발성 메모리 셀 트랜지스터의 소스를 통해 출력이 얻어지도록 구성된 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 17**

출력 데이터를 출력하는 메인 셀 어레이(3100~31015)와, 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스 신호와 일치할 때에 상기 메인 셀 어레이의 출력 데이터 중에서 의의 데이터 값을 갖는 출력 데이터의 컬럼 어드레스를 기억하는 용장 어드레스 기억 회로(316)와, 상기 용장 어드레스 기억 회로내에 배치되는 1-비트 기억 회로(제64도, 제65도)를 포함하는 반도체 메모리 장치에 있어서, 상기 1-비트 기억 회로는, 제1 및 제2 접점과 제어 단자를 구비하고 상기 제1 접점에 고전압측 전원이 결합되며 상기 제어 단자에 저전위가 인가될 때에는 도통되고 상기 제어 단자에 고전위가 인가될 때에는 도통되지 않는 제1 스위칭 소자(382)와, 제1 및 제2 접점과 제어 단자를 구비하고 상기 제1 접점에 고전압측 전원이 결합되며 상기 제어 단자에 저전위가 인가될 때에는 도통되고 상기 제어 단자에 고전위가 인가될 때에는 도통되지 않는 제2 스위칭 소자(383)와, 판독시 상기 제1 스위칭 소자의 제2 접점이 결합되는 드레인, 저전압측 전원에 결합되는 소스 및 판독 전압이 공급되는 제어 게이트를 구비하고 진기적으로 기입 가능한 제1 비휘발성 메모리 셀 트랜지스터(386)를, 판독시 상기 제2 스위칭 소자의 제2 접점에 결합되는 드레인, 저전압측 전원에 결합되는 소스 및 상기 판독 전압이 공급되는 제어 게이트를 구비하고 전기적으로 기입 가능한 제2 비휘발성 메모리 셀 트랜지스터(387)를 포함하며, 상기 제1 또는 제2 비휘발성 메모리 셀 트랜지스터에 기입을 행함으로써 상기 제1 비휘발성 메모리 셀 트랜지스터의 소스를 통해 출력이 얻어지도록 구성된 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 18**

어드레스 신호를 수신하기 위한 수단과, 데이터를 기억하는 다수의 메인 셀 어레이 및 패리티 데이터를 기억하는 다수의 패리티 셀 어레이를 포함하는 반도체 메모리 장치에 있어서, 출력 정정 회로(320)를 포함하고, 상기 출력 정정 회로는 상기 메인 셀 어레이로부터 출력된 출력 데이터에 기초하여 의의 데이터 값을 갖는 출력 데이터를 대신하여 출력될 데이터를 발생시키고, 어드레스 신호에 의해 표시된 어드레스가 용장 어드레스와 일치하는 경우 상기 패리티 셀 어레이로부터 출력된 패리티 데이터 및 의의 데이터 값을 갖는 출력 데이터를 배제시키는 출력 데이터 발생 회로(440, 441)와, 상기 메인 셀 어레이로부터 출력된 출력 데이터를 외측으로 출력될 데이터로서 출력하고, 상기 출력 데이터 발생 회로에 의해 발생되는 출력 데이터 및 의의 데이터 값을 갖는 출력 데이터를 배제시키는 출력 데이터 스위칭 회로(442)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 19**

제1항에 있어서, 정상 상태에서 사용되는 용장 어드레스를 기억하는 제1 용장 어드레스 기억회로(316)와, 시험 용장과 시험 용장 어드레스를 기억할 수 있는 제2 용장 어드레스 기억 회로(318)를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 20**

다수의 메모리 셀과 워드선을 갖는 다수의 메모리 셀 어레이를 포함하는 반도체 메모리 장치에 있어서, 워드선을 선택하는 다수의 워드선 선택 회로(518, 527, 537)를 구비하는데, 다수의 메모리 영역은 각각의 상기 워드선 선택 회로 및 상기 메모리 셀 어레이로 형성되며, 각각의 상기 메모리 셀 어레이는 동일 어드레스를 갖는 워드선 및 동일 어드레스를 갖는 비트선을 가진 상기 메모리 영역을 형성하고, 어드레스 신호에 의해 선택된 메모리 영역을 형성하는 상기 메모리 셀 어레이의 선택된 메모리 셀로부터 데이터를 출력하도록 어드레스 신호를 디코딩하여 판독시 상기 메모리 영역 중 하나를 선택하고, 상기 선택된 하나의 메모리 영역에 대응하는 하나의 상기 워드선 선택 회로를 작동시키기 위한 수단(519, 528)을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 21**

제20항에 있어서, 메모리 셀은 서로 직렬 결합되고 게이트가 상기 워드선에 결합된 다수의 MOS 트랜지스터를 갖는 NAND형 셀을 포함하고, 상기 워드선 중 선택된 워드선은 저전위로 설정되고, 선택되지 않은 워드선은 고전위로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 22**

다수의 메인 셀 어레이 및 다수의 패리티 셀 어레이를 포함하는 메모리 셀부와, 다수의 로우 디코더 회로를 포함하여 입력 어드레스의 로우 어드레스를 디코딩하고 상기 메모리 셀부로부터 상기 로우 어드레스에 의해 지정된 데이터 및 패리티 데이터를 출력하는 로우 디코더와, 다수의 컬럼 디코더 회로를 포함하여 상기 입력 어드레스의 컬럼 어드레스를 디코딩하고 상기 메모리 셀부로부터 출력된 데이터 및 패리티 데이터 중에서 상기 컬럼 어드레스에 의해 지정된 데이터 및 패리티 데이터를 출력하는 컬럼 디코더를 포함하는 반도체 메모리 장치에 있어서, 불량 메인 셀을 갖는 어드레스 영역을 기억하고 불량 비트를 나타내는 데이터를 출력하는 불량 출력 기억 회로(1023)와, 상기 불량 출력 기억 회로의 패리티 데이터 및 출력

데이터에 기초하여 상기 컬럼 디코더로부터 출력된 데이터중에서 불량 데이터를 포함하는 메인 셀 어레이의 출력 데이터를 정정 및 출력하는 용장 회로(1022)를 포함하며, 상기 로우 디코더 회로에 의해 구동되는 각각의 워드선은 다수의 메인 셀 어레이를 통과하지 않는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 23

제22항에 있어서, 상기 패리티 셀 어레이(P1~P8)는 워드선이 연장하는 워드선 방향에 수직인 컬럼 방향을 따라 인접한 두개의 메인 셀 어레이 사이에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 24

제23항에 있어서, 상기 컬럼 디코더 회로는 컬럼 방향을 따라 각각의 메인 셀 어레이의 양측에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 25

제22항에 있어서, 상기 패리티 셀 어레이(P1~P8)는 각각의 어드레스에 대하여 각각의 메인 셀 어레이로부터 얻어진 1비트의 배타 논리합의 연산 결과를 기억하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 26

제22항에 있어서, 상기 용장 회로(1022)는, 상기 불량 출력 기억 회로(1023)의 출력 데이터에 기초하여 상기 컬럼 디코더(1013)로부터 출력된 데이터중 불량 비트만을 고정 논리값으로서 출력하는 제1 스위칭 회로(1026)와, 상기 제1 스위칭 회로(1026)의 출력 데이터와 상기 컬럼 디코더(1013)의 출력 패리티 데이터의 배타 논리합을 얻는 배타 논리합 회로(1025)와, 상기 불량 출력 기억 회로(1023)의 출력 데이터 및 상기 배타 논리합 회로(1025)의 출력에 기초하여 상기 컬럼 디코더(1013)의 출력 데이터중 불량 비트만을 정정 및 출력하는 제2 스위칭 회로(1027)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 27

제22항에 있어서, 상기 불량 출력 기억 회로(1023)는 하나의 워드선에 의해 선택된 다수의 불량 메인 셀과 그 불량 메인 셀의 어드레스 영역에 관련된 정보를 불량 어드레스 정보로서 기억하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 28

3의 매수로 된 다수의 셀 어레이로 각각 구성된 블록 단위로 제공되는 다수의 패리티 셀 어레이(P1L, P1H, P2L, P2H) 및 다수의 메인 셀 어레이 OUT1L~OUT16L, OUT1H~OUT16H)를 포함하는 메모리 셀부(1021) 다수의 로우 디코더 회로를 포함하여 입력 어드레스의 로우 어드레스를 디코딩하고 상기 로우 어드레스에 의해 지정된 데이터 및 패리티 데이터를 상기 메모리 셀부로부터 출력하는 로우 디코더(1014)와, 다수의 컬럼 디코더 회로를 포함하여 입력 어드레스의 컬럼 어드레스를 디코딩하고 상기 메모리 셀부로부터 출력된 데이터 및 패리티 데이터중 상기 컬럼 어드레스에 의해 지정된 데이터 및 패리티 데이터를 출력하는 컬럼 디코더(1013)와, 불량 메인 셀을 포함하는 어드레스의 비트를 나타내는 데이터를 출력하는 불량 출력 기억 회로(1023)와, 상기 불량 출력 기억 회로의 출력 데이터 및 패리티 데이터에 기초하여 상기 컬럼 디코더로부터 출력되는 데이터중 불량 데이터를 포함하는 메인 셀 어레이의 출력 데이터를 정정 및 출력하는 용장 회로(1022)를 포함하고, 상기 로우 디코더 회로에 의해 구동되는 각 워드선은 패리티 데이터 발생과 상호 독립적인 셀 어레이만을 구동시키는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 29

제28항에 있어서, 상기 패리티 셀 어레이(P1L, P1H, P2L, P2H)는 워드선이 연장하는 워드선 방향을 따라 특정 로우 디코더 회로의 양측에 배열되는 블록내에만 제공되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 30

제29항에 있어서, 상기 컬럼 디코더 회로는 워드선 방향에 수직인 컬럼 방향을 따라 상기 블록들의 양측에 배열되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 31

제28항에 있어서, 상기 패리티 셀 어레이(P1L, P1H, P2L, P2H)는 각각의 어드레스에 대하여 각각의 메인 셀 어레이로부터 얻어진 비트의 배타 논리합의 연산 결과를 기억하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 32

제28항에 있어서, 상기 용장 회로(1022)는, 상기 불량 출력 기억 회로(1023)의 출력 데이터에 기초하여 상기 컬럼 디코더(1013)로부터 출력되는 데이터중 불량 비트만을 고정 논리값으로서 출력하는 제1 스위칭 회로(1026)와, 상기 제1 스위칭 회로(1026)의 출력 데이터와 상기 컬럼 디코더(1013)의 출력 패리티 데이터의 배타 논리합을 얻는 배타 논리합 회로(1025)와, 상기 불량 출력 기억 회로(1023)의 출력 데이터 및 상기 배타 논리합 회로(1025)의 출력에 기초하여 상기 컬럼 디코더(1013)의 출력 데이터중 불량 비트만을 정정 및 출력하는 제2 스위칭 회로(1027)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 33

제28항에 있어서, 상기 불량 출력 기억 회로(1023)는 하나의 워드선에 의해 선택된 다수의 불량 블록 및 그 불량 블록내에서 불량 메인 셀의 어드레스 영역과 관련된 정보를 불량 어드레스 정보로서 기억하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 34**

제28항에 있어서, 상기 패리티 셀 어레이(P1L, P1H, P2L, P2H)는 특정 수의 메모리 셀 어레이마다 독립적으로 영어지는 대응 패리티 데이터를 기억하고, 임의의 블록 내의 메인 셀 어레이는 상기 임의의 블록내의 패리티 셀 어레이에 기억된 패리티 데이터와는 무관한 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 35**

불량 메모리 셀 치유용 패리티 데이터를 기억하는 다수의 패리티 셀 어레이 및 데이터를 기억하는 다수의 메인 셀 어레이를 갖는 메모리 셀부를 포함하는 반도체 메모리 장치에 있어서, 입력 어드레스와는 무관하게 불량을 포함하는 메인 셀 어레이를 나타내는 미리 기억된 용장 정보에 기초하여 불량 출력 비트를 나타내는 제1출력 데이터(S01~S016)를 출력하기 위한 제1수단(2023~2025)과, 상기 불량 출력 비트가 상기 입력 어드레스에 의해 지정된 상기 메모리 셀부(2015)의 메인 및 패리티 셀 어레이 OUT1~OUT16, P1, P2로부터 판독된 제2 출력 데이터(S0UT1~S0UT16) 및 패리티 데이터로부터 치유되어야 하는지의 여부를 검출하기 위한 제2수단(2027, 229)과, 상기 제2수단(2027, 2029)이 불량 출력 비트의 치유되어야 함을 검출할 때 상기 제1수단(2023~2025)으로부터의 제1 출력 데이터(S0UT1~S0UT16)에 기초하여 불량 비트를 정정 및 출력하기 위한 제3수단(2026, 2028)을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 36**

제35항에 있어서, 상기 메인 셀 어레이 및 패리티 셀 어레이에 관하여 제공되어 상기 입력 어드레스의 커텀 어드레스를 디코딩하는 커텀 디코더(2013)와, 상기 메인 셀 어레이 및 패리티 셀 어레이에 관하여 제공되고 다수의 로우 디코더 회로를 구비하여 상기 입력 어드레스의 로우 어드레스를 디코딩하는 로우 디코더(2014)를 추가로 포함하여, 상기 패리티 셀 어레이(P1, P2)에 관하여 제공된 로우 디코더 회로는 상기 메인 셀 어레이(OUT1~OUT16)에 관하여 제공된 로우 디코더 회로와 무관하고, 그 패리티 셀 어레이에 대해 배타적으로 제공되는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 37**

제35항에 있어서, 상기 용장 정보는 불량을 포함하는 다수의 메인 셀 어레이를 지정하는 정보를 포함하고, 상기 제1수단(2023~2025)은 상기 용장 정보를 미리 기억하는 기억 회로(2024)를 포함하고, 상기 불량 출력 비트를 포함하는 다수의 메인 셀 어레이의 출력은 상기 제2수단(2027, 2029)이 불량 출력 비트의 치유되어야 함을 검출할 때 그 불량 출력 비트를 치유하도록 상기 패리티 셀 어레이(P1, P2)의 출력으로 모두 교차되는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 38**

제35항에 있어서, 상기 제3수단(2026, 2028)은 상기 제2 출력 데이터(S0UT1~S0UT16)의 불량 비트만을 상기 제1 출력 데이터(S0UT1~S0UT16)의 대응 비트로 고체하고 상기 제2수단(2027, 2029)이 불량 출력 비트의 치유되어야 함을 검출할 때 상기 제1수단(2023~2025)으로부터의 제1 출력 데이터에 기초하여 상기 제1 출력 데이터의 대응 비트를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 39**

제35항에 있어서, 상기 제1수단(2023~2025)은, 시험 공정시 상기 용장 정보를 기억하는 제1 기억 회로(2023)와, 상기 시험 공정후 상기 용장 정보를 포함하는 것을 특징으로 하는 반도체 미리 기억하는 제2기억 회로(2024)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 40**

불량 메모리 셀 치유용 패리티 데이터 및 데이터를 기억하는 메모리 셀부를 포함하는 반도체 메모리 장치에 있어서, 활성 상태에서는 상기 메모리 셀부로부터 판독되는 출력 데이터를 증폭하고, 비활성 상태에서는 고정된 제1 논리 레벨을 갖는 출력 데이터를 출력하기 위한 센스 증폭기 수단(3001)과, 입력 어드레스가 미리 기억된 불량 어드레스와 일치할 때 일치 검출 신호를 출력하기 위한 일치 검출 수단(3004)과, 상기 일치 검출 신호에 응답하여 미리 기억된 불량 출력 데이터를 나타내는 불량 출력 선택 데이터를 출력하기 위한 불량 출력 선택 수단(3005)과, 상기 센스 증폭기 수단으로부터의 출력 데이터 및 상기 불량 출력 선택 수단으로부터의 불량 출력 선택 데이터를 수신하기 위한 데이터 스위칭 수단(3002)과, 불량 출력이 판독되는 시그на워 판독 모드를 나타내는 모드 신호에 기초하여 상기 센스 증폭기 수단을 활성 상태로 만드는 제1 신호(SE)를 상기 센스 증폭기 수단에 공급하고, 상기 모드 신호와 상기 메모리 셀부로부터 판독된 패리티 데이터 및 출력 데이터에 기초하여 패리티 검사 결과를 나타내는 제2신호를 상기 데이터 스위칭 수단에 공급하기 위한 논리 회로 수단(3003)을 포함하며, 상기 논리 회로 수단(3003)은 상기 모드 신호가 수신될 때 상기 제1 논리 레벨에 판독되는 제2 논리 레벨을 가진 제2 신호를 상기 데이터 스위칭 수단에 공급하고, 상기 데이터 스위칭 수단(3002)은 상기 불량 출력 선택 수단으로부터의 불량 출력 선택 데이터로 표시되는 불량 비트에 대하여 상기 센스 증폭기 수단으로부터의 출력 데이터를 대신하여 상기 논리 회로 수단으로부터의 제2 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 41**

제40항에 있어서, 상기 논리 회로 수단(3003)은, 상기 모드 신호(SR) 및 반도체 메모리 장치의 동작을 위한 에이블시키는 칩 인에이블 신호(/CE)에 기초하여 제1신호(SE)를 발생하는 NOR 회로(3025)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**첨구항 42**

제41항에 있어서, 제1 및 제2 전원 전압(Vcc, Vss)에 결합되어 상기 제1 및 제2 전원 전압 중 더 높은 전원 전압보다 더 높은 전압 입력에 기초하여 상기 모드 신호(SR)를 발생하는 회로(Q1~Q6, R, 3051, 3052)

를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치.

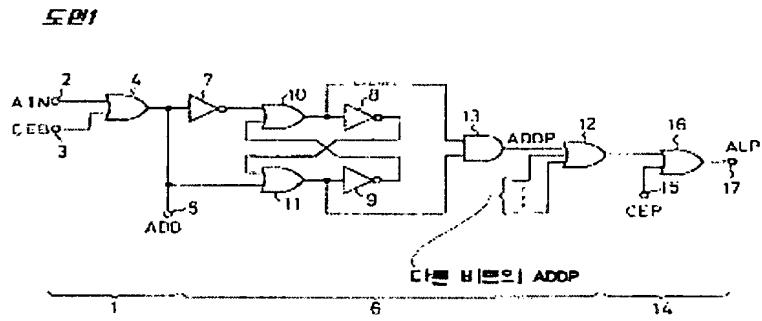
#### 첨구항 43

제40항에 있어서, 상기 논리 회로 수단(3003)은, 상기 메모리 셀부로부터 판독된 패리티 데이타 및 출력 데이타에 기초하여 패리티 검사 결과를 출력하는 배타 논리합 회로(3016)와, 상기 패리티 검사 결과 및 상기 모드 신호(SR)의 반전 신호에 기초하여 상기 제2 신호를 발생하는 AND 회로(3027)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

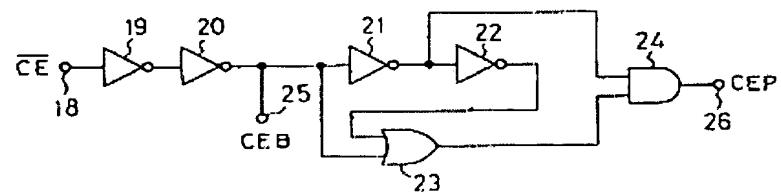
#### 첨구항 44

제40항에 있어서, 상기 일치 검출 수단(3004)은, 불량 어드레스를 미리 기억하기 위한 제1 기억 수단(3181, 3182)을 포함하고, 상기 불량 출력 선택 수단(3005)은 불량 출력을 미리 기억하기 위한 제2 기억 수단(3191, 3192)을 포함하며, 상기 제1 및 제2 기억 수단(3181, 3182, 3191, 3192)은 사험용으로만 사용되는 제기입 가능한 기억 회로(3182, 3192)를 각각 포함하는 것을 특징으로 하는 반도체 메모리 장치.

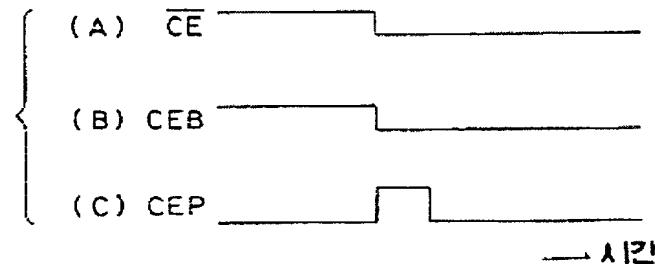
#### 도면 1



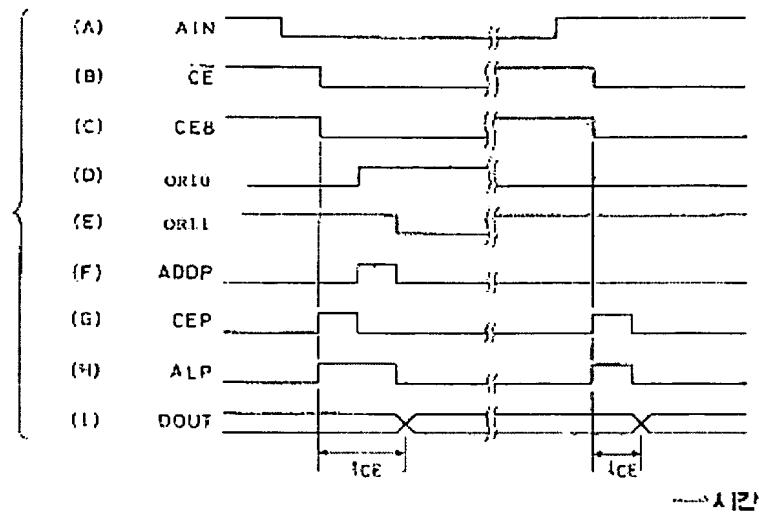
#### 도면 2



#### 도면 3

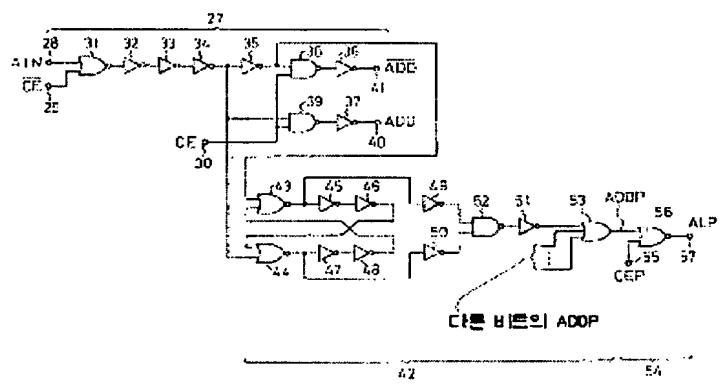


S24

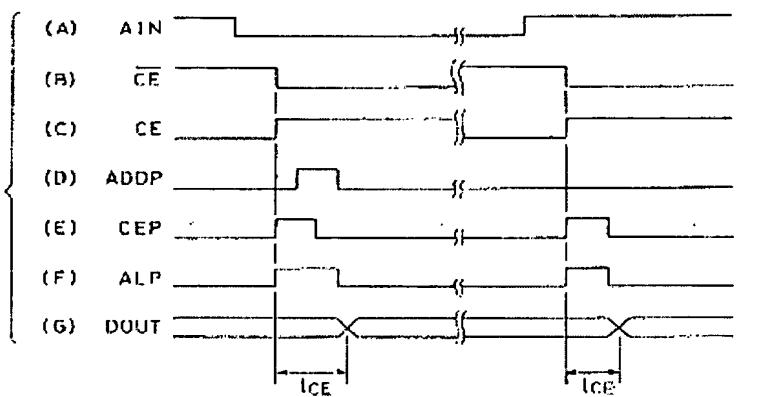


→ A 12

S25

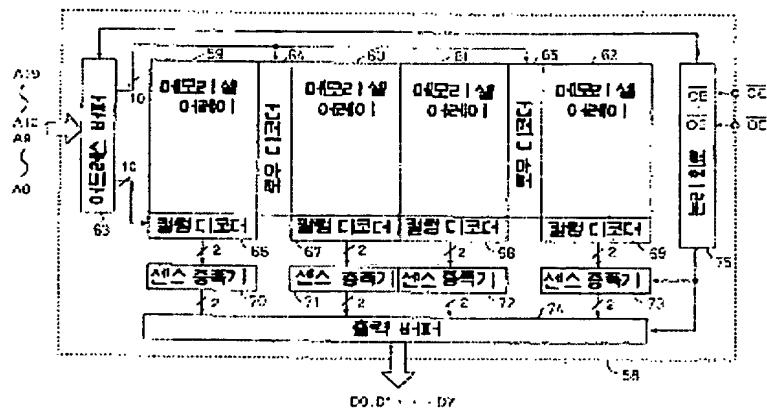


S26

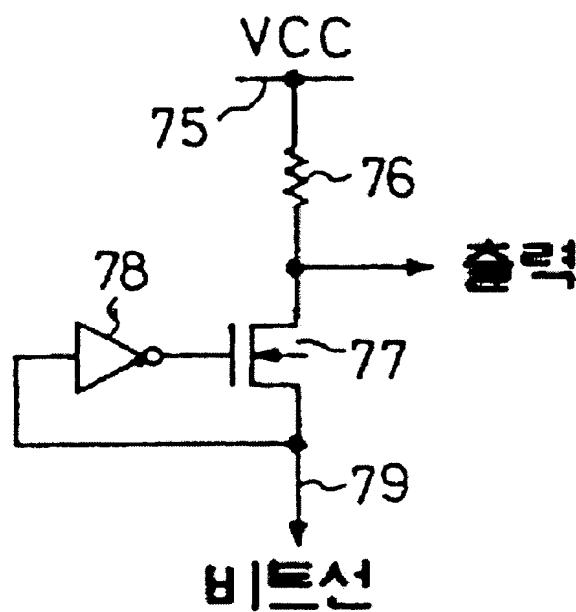


→ A 12

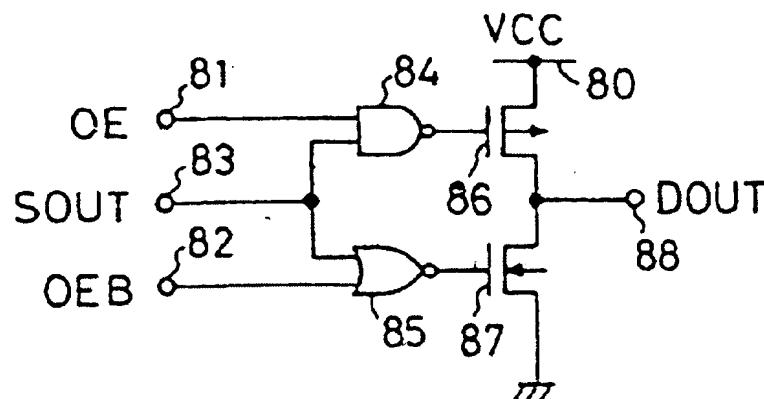
587



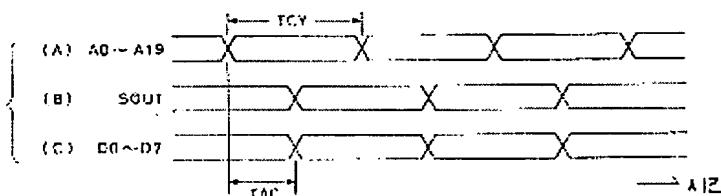
五



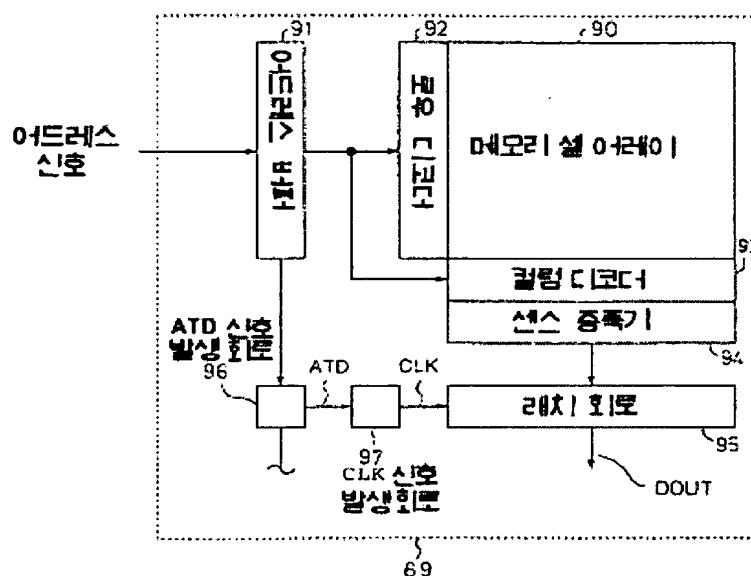
도면9

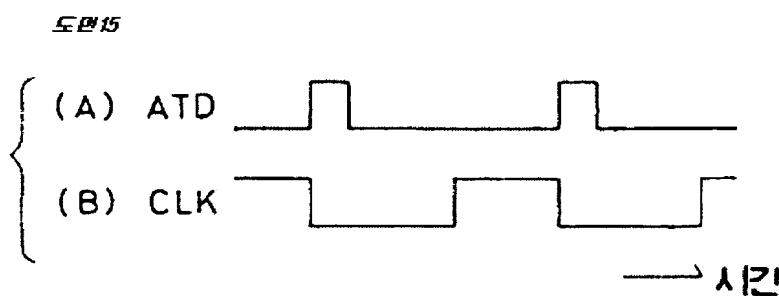
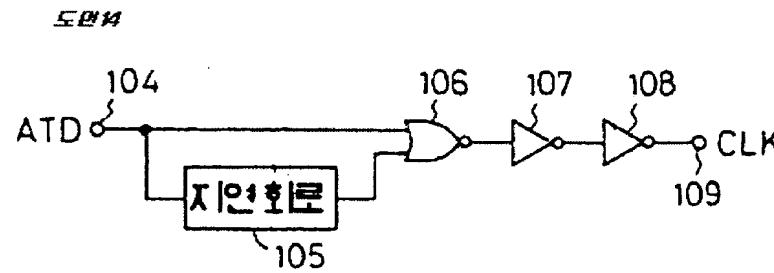
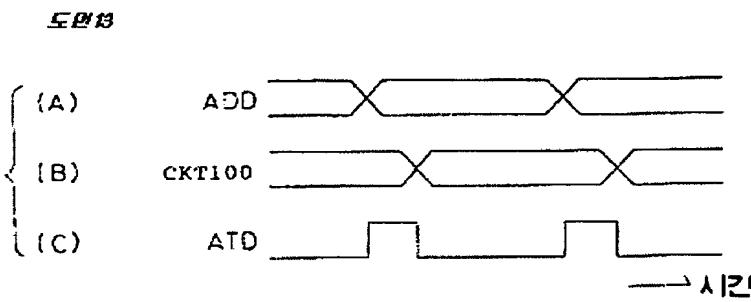
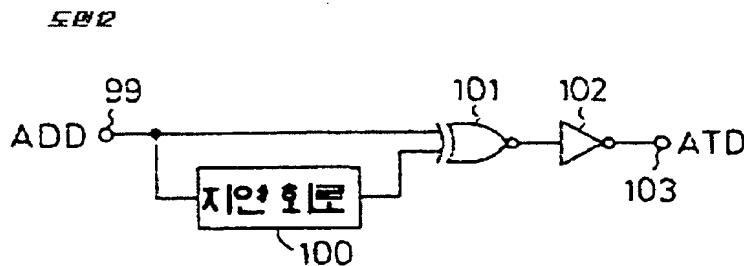


도면10

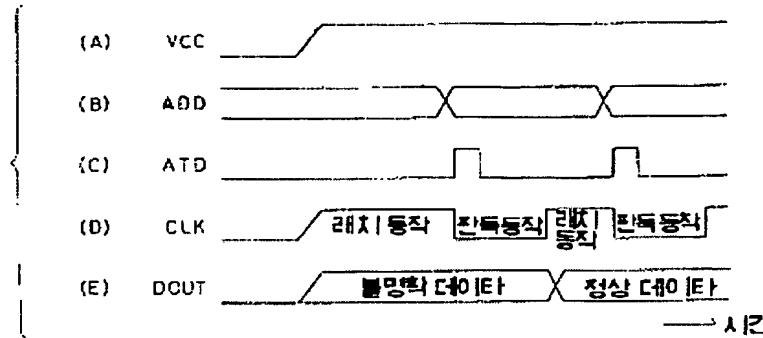


도면11

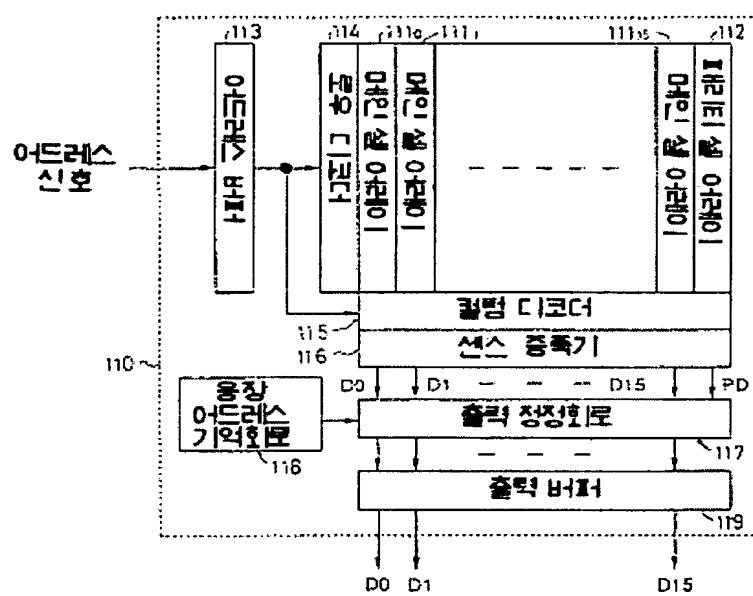




## 도면 8



## 도면 9



## 도면 10

